플래시 메모리의 개요 및 구성

특허청

제2장 플래시 메모리의 개요 및 구성

2-1. 반도체 메모리

그림 2-1은 반도체 메모리의 분류체계를 나타내었다. 반도체 메모리는 휘발성에 따라 분류하면, 크게 나누어 RAM(Random Access Memory)과 ROM(Read Only Memory)이 있다. RAM 종류는 휘발성인데 이러한 소자들이 휘발성인 이유는 이진 정보가 쓰여진 메모리 셀의 전압이 전원 전압이 존재할 때만 회로에 의해 유지되고 전원이 제거되면 모두 방전해 버리기 때문이다

RAM은 다시 DRAM(Dynamic RAM)과 SRAM(Static RAM)의 분류된다. DRAM은 대용량 메모리 시스템을 비교적 낮은 가격으로 개발하는 경우에 적합하다. SRAM은 리플래시 회로 등이 필요하지 않기 때문에 DRAM에 비해 시스템 조립이 간편하다.

ROM은 사용자측에서 ROM 데이터를 입력하는 것이 가능한가에 따라 분류된다.

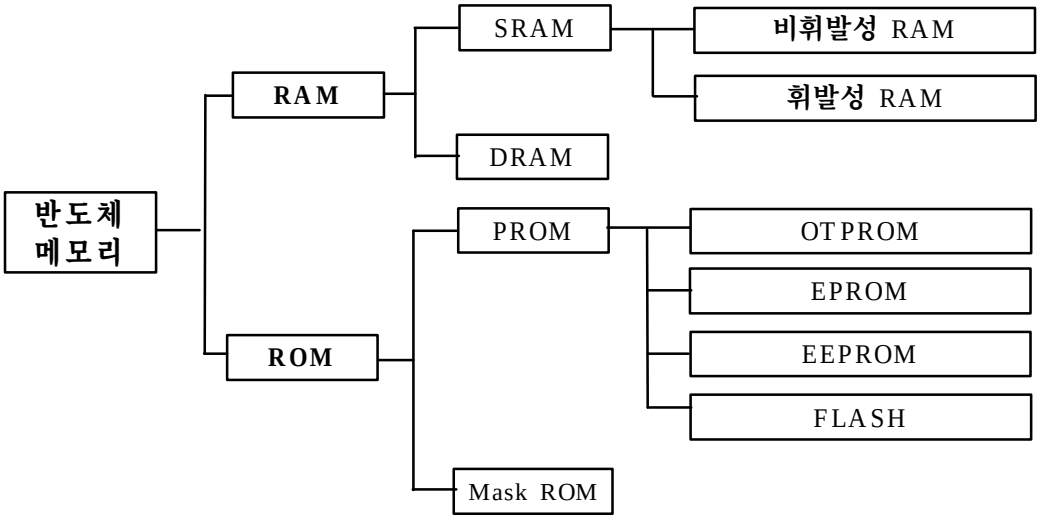


그림 2-1. 메모리 분류체계

쓰임새에 따라 제조시 데이터가 프로그램 되지 않은 상태로 판매되어 사용자가 직접 필요한 정보를 현장에서 프로그램 하여 쓰는 PROM(Programable ROM)과 제조시 사용자의 주문에 의한 데이터를 미리 프로그램 하여 판매하는 마스크 ROM 종류가 있다.

PROM은 입력방식에 의해 다시 분류되어 OTPROM(One Time PROM), EPROM(Erasable PROM), EEPROM(Electrically Erasable PROM) 등이 있다. OTP EPROM은 in-system 프로그래밍에 사용될 수 있지만, 일단 프로그램 되어지면 변경할 수 없다. 그래서 그 이름이 “one-time-programmable"이다. 플래시가 OTP로 대치될 때 시스템 레벨에서 재프로그래밍이 또한 행해질 수 있다.

EPROM은 문자 그대로 읽기, 쓰기 및 소거가 모두 가능한 반도체 메모리이다. 특별히 소거가 들어가는 이유는 비휘발성으로 분류되는 메모리에서의 쓰기 동작은 반드시 소거 동작이 필요하기 때문이다. 이와는 구분되게 RAM 종류에서는 쓰기 동작은 이전의 정보를 덮어쓰기 때문에 따로 소거 동작이 필요치 않다.

EPROM이 소거 동작을 위해서 장착된 시스템으로부터 뽑아내어 자외선 광원에 노출시켜야 하는 번거로움이 있으므로 이를 보완하여 시스템에 장착된 채로 전기적으로 소거 동작을 하기 위해 개발된 소자가 바로 EEPROM이다.

일괄소거형(플래시 메모리)은 소자전체를 일괄적으로 소거한다. 블록소거형 플래시 메모리는 각 불럭(섹터)마다 소거한다. 메모리 셀 구조가 간단하기 때문에 바이트 단위소거형 메모리보다 고집적화 할 수 있다. 기능은 EEPROM과 같지만 전기적으로 데이터를 소거할 수 있기 때문에 기판으로부터 칩을 떼어낼 필요가 없다. 또한 플라스틱 패키지를 사용하기 때문에 비용면에서도 우위에 있다.

2-2. 전기적 고쳐 쓰기 비휘발성 메모리

전기적 고쳐 쓰기 가능한 비휘발성 메모리를 EEPROM으로 부르고 있다. 이 명칭도 인텔사가 명명했는데 세계 공통어로 되어 있다. EEPROM이 계산기 중에서 어떻게 사용되고 있는가에 대한 일례를 그림 2-2에서 나타내고 있다.

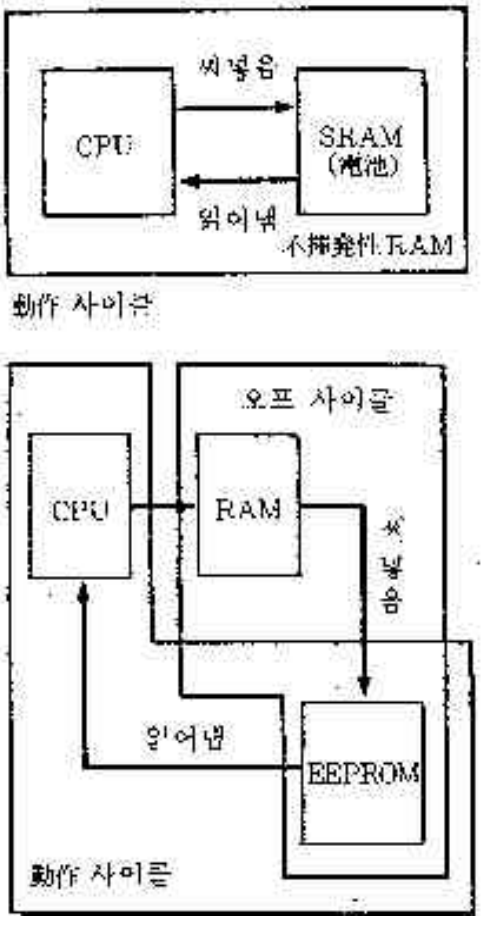


그림 2-2. EEPROM의 사용방법

EEPROM은 프로그램 속도가 읽기 속도에 비해서 1,000배 이상 늦기 때문에 프로그램 데이터는 먼저 버퍼 메모리인 SRAM에 저

장한 후 다음 단계에서 EEPROM으로 데이터를 전달하여 프로그램할 필요가 있다. 데이터를 읽을 때는 속도가 빠르기 때문에 CPU로 직접 데이터를 보낼 수 있다. 즉, EEPROM에 데이터를 프로그램하기 위해 CPU의 동작에서 떨어진 Off 사이클에서의 동작이 필요하게 된다. 물론 EEPROM은 비휘발성 메모리로 커다란 특징을 가지고 있다. EEPROM으로 부유 게이트를 사용하는 방법은 1967년에 미국 벨연구소의 칸 박사에 의해 제안되었다.

부유 게이트를 갖는 EEPROM의 동작원리와 인가전압에 따른 전류와의 관계를 그림 2-3에 나타내었다.

부유 게이트에 전자가 없는 상태를 (a), 부유 게이트에 전자가 존재하는 상태를 (b)에 나타내었다. 부유 게이트에 전자가 없으면, 제어 게이트에 인가한 전압에 의해 채널에 전자가 유기되어 전류가 흐르기 시작한다. 전자가 없는 (a)상태에서는 인가전압이 1V 이상에서 전류가 흐르기 시작하고, 이때 문턱값(문턱전압)이 1V가 된다. 한편 (b)상태에서는 부유 게이트에 전자가 축적되어 있기 때문에 제어 게이트에 인가한 전압은 채널까지 영향을 미치지 않아 전류가 흐르지 않는다. 따라서 전류가 흐르기 위해서는 제어 게이트에 6V 이상 전압을 인가해야 한다. 이때의 문턱값은 6V가 된다.

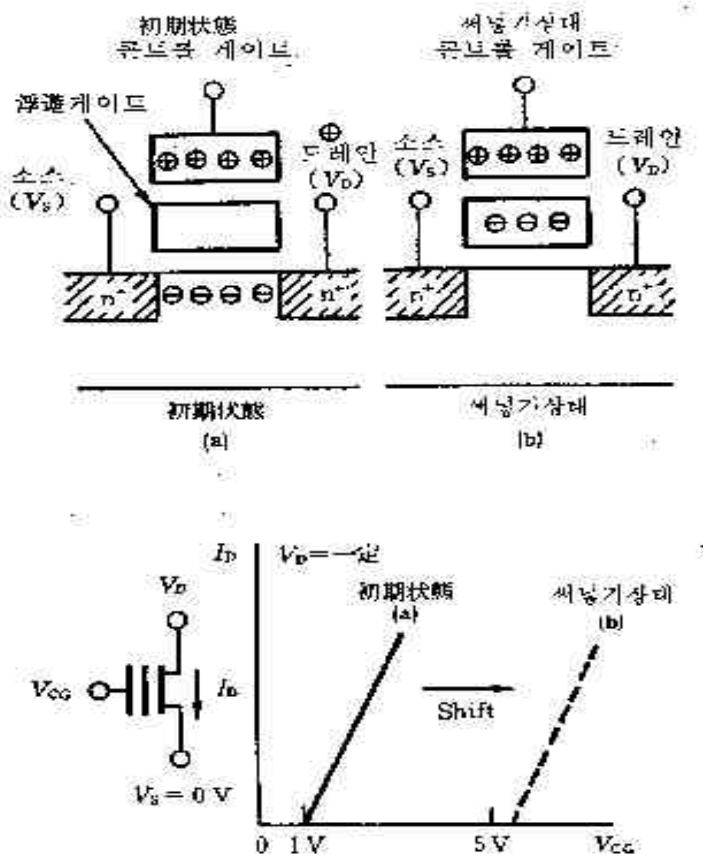


그림 2-3. 불활성 메모리의 동작원리

그림 2-4는 EEPROM의 에너지밴드를 나타내고 있다. 부유 게이트에는 전자가 축적되어 있고 실리콘기판 및 제어 게이트 양쪽에 높은 에너지 장벽이 있어 축적된 전자는 방출되거나 주입되지 않는다. 이때 (a)상태를 “1”로 정하고 (b)상태를 “0”으로 정하면 반도체 비휘발성 메모리로써 사용할 수 있다.

전기적 고쳐쓰기가 가능한 반도체 비휘발성 메모리로써 동작하기 위해서는 부유 게이트의 전자 주입 및 방출을 전기적으로 행하지 않으면 안된다. 최초로 벨연구소가 제안한 방법은 터널효과를

이용해 기판에서 전자를 주입하고, 부유 게이트에서 전자를 기판으로 끌어내는 방법이었다. 이것이 기판과 제어 게이트 사이에 정방향 및 역방향으로 높은 전압을 인가하는 것에 의해 실현되었다.

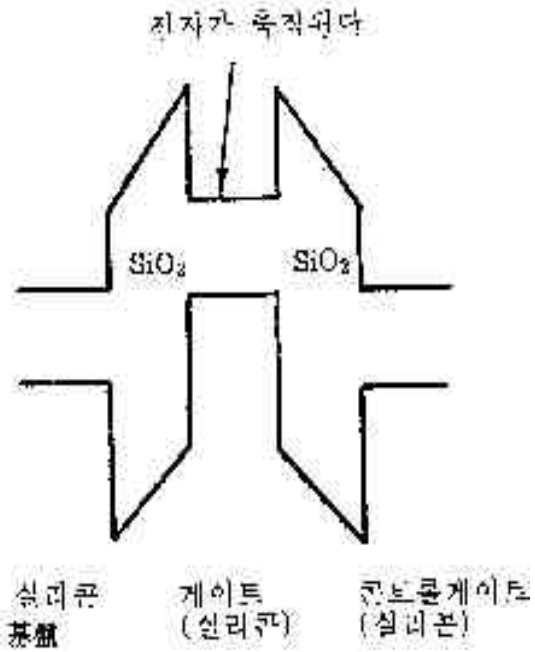


그림 2-4. EEPROM의 에너지 밴드

반도체 비휘발성 메모리로 최초로 개발된 것이 강유전체를 사용한 메모리이다. 강유전체는 강하게 한 방향으로 전압을 인가하면 결정 자체가 분극이 일어난다. 이것은 인가 전압을 없앤 후에도 남기 때문에 비휘발성 메모리로 사용이 가능하다.

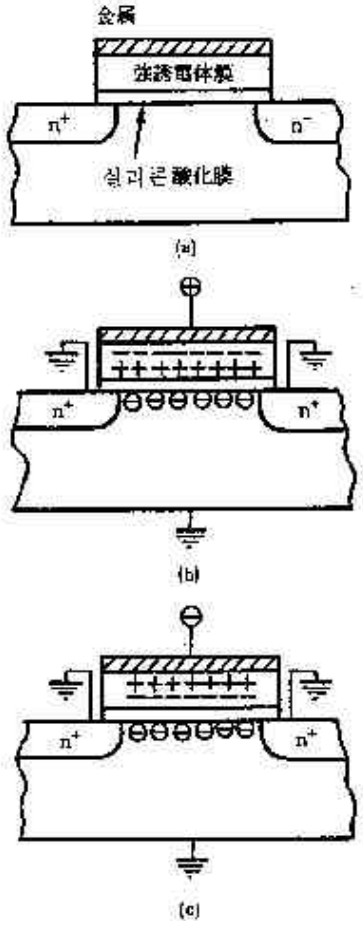


그림 2-5. 강유전체를 이용한 EEPROM

이 원리는 1963년에 발표되었다. 그림 2-5(a)는 MOS 트랜지스터의 게이트 절연막으로 강유전체를 사용하고 있다. 게이트에 높은 전압을 인가하면 그림 2-5(b)와 같이, 강유전체는 분극되어 채널에 전자가 유기되어 전자가 흐르고, 역으로 그림 2-5(c)와 같이, 게이트에 마이너스의 높은 전압을 인가하면 강유전체는 반대로 분극되어 채널에 정공이 유기되기 때문에 전자가 흐르지 않는다. 이와 같이, 반도체 비휘발성 메모리로서 동작 가능한 것은 시사되었는데 아직 실용화되고 있지 않다.

2-3. 플래시 메모리

2-3-1. 플래시 메모리의 정의 및 유래

플래시 메모리의「플래시」는 사전에 「일순간」또는 「빛난다」라는 의미로 되어있다. 플래시 메모리의 「플래시」는 「일순간」의 의미와 일치한다. 즉 일순간에 데이터를 소거한다. 또는 일순간에 데이터를 읽고/쓴다. 억세스 속도가 빠르다 등의 의미를 포함한다. 전원을 꺼도 데이터를 보존하는 비휘발성 반도체 메모리, 이것이 “플래시 메모리“ 이다.

한편, 플래시 메모리는 1984년 IEDM(International Electron Device Meeting)에 게재된 TOSHIBA의 논문(F.Masuoka et al., "A new Flash EEPROM cell using triple polysilicon technology")에서 최초로 소개되었다.

2-3-2. 플래시 메모리의 개발동기

역사적으로 볼 때, 플래시 메모리는 기존의 EPROM이 UV(자외선)을 이용하여 부유 게이트로부터 전자들을 이동시키던 방식을 전기적인 방식으로 전환시킨 것으로부터 그 시작의 동기를 볼 수 있다.

UV-PROM은 자외선을 사용하기 때문에 패키지 상에서 UV가 투과되는 창을 별도로 만들어야 하는 제조상의 어려움 및 비싼 공정단가로 인해 전기적인 방식(전압인가 방식)으로 프로그램 및 소거를 행하는 EEPROM이 제안되었다. 그 후, 한번에 한 바이트씩(블럭 또는 페이지)을 일시에 소거하여 보다 빠른 소거동작을 위하여 플래시 메모리가 제안되기에 이르렀던 것이다.

플래시 메모리가 개발되어진 다른 이유는 컴퓨터 사용장소 범위의 확대이다. 즉, 휴대기기의 확대에 동반하여 소형화의 필요성이 높아진 것이다. 이러한 소형화 실현의 요소는 여러 가지 이지만 그 중에서도 기억매체의 소형화와 기억매체의 소전력화(밧데리도 적게함)가 그 포인트이다. 그래서 자기메모리인 하드디스크 및 플로피디스크를 필요로 하지 않는 기억매체로서 플래시 메모리가 주목된 것이다. 왜냐하면 자기메모리인 하드디스크 및 플로피디스크 시장은 반도체 메모리 DRAM에 비해 수배나 크기 때문이다.

그러나 반도체 메모리가 자기메모리를 모두 교체할 수 없었던 이유는 첫째 자기메모리의 코스트가 싼점, 둘째 자기메모리가 비휘발성 메모리인 점이였다. 종래 EEPROM(전기적 소거 및 프로그램 가능한 읽기 전용 메모리) 즉, 반도체 비휘발성 메모리는 1 비트당 2개의 트랜지스터로 이루어져 있고, 1 비트당 고유면적이 크기 때문에 코스트가 높아 자기메모리를 완전히 교체할 수 없었다. 그러나 플래시 메모리가 하드디스크에 비해 우위에 있는 점은 가볍고 대기시 전력 소모가 적고 신뢰성이 뛰어나다는 점이다.

반도체 메모리의 큰 발전을 위해서는 자기메모리의 교체가 필수이고, 메모리 시장의 크기는 그 메모리의 사용하기 편함보다 비트당 가격이 중요하다.

종래의 EEPROM은 1 비트 단위로 소거 및 프로그램이 가능해 사용하기가 편하지만 코스트가 높아 그다지 사용되지 않았다. 그러나, 비휘발성 메모리인 하드디스크는 섹터(sector) 단위, 즉 어떤 메모리 단위로 데이터 교환이 가능하여 편리하였다. 필요한 것은 1 비트마다 고쳐 쓰기가 가능한 것이 아니라 단가가 낮은 비휘발성 메모리이다.

게이트 산화막의 전자 터널링 현상은 반도체 소자의 신뢰성을

저하시키는 주요한 원인 가운데 하나인데 다른 반도체 소자에서는 최소화하려고 애쓰는데 비해 플래시 메모리에서는 이를 이용하여 이진 정보를 프로그램해야 하므로 고품질의 산화막 기술이 필수적이다.

그러나 개발속도가 늦어져 하드디스크의 대체보다는 현재 시장이 급속하게 확대되고 있는 디지털 카메라의 정보저장이나 음성 데이터의 일시 저장, 휴대용 통신기기의 정보저장 등에 이용되고 있는데 그 응용 분야가 넓으므로 장차 DRAM에 이어 두 번째의 큰 시장을 이룰 것으로 예측된다.

2-3-3. 플래시 메모리의 특징

플래시 메모리의 정의는 메모리 셀이 1개의 트랜지스터로 이루어져 셀 면적이 적은 반면 자외선으로 일괄 소거해야 하는 EPROM과, 전기적 소거가 가능한 반면 셀이 2개의 트랜지스터로 이루어져 셀 면적이 큰 단점을 지닌 EEPROM의 장점을 조합하여 1개의 트랜지스터로써, EPROM의 프로그램 입력방법과 EEPROM의 소거방법을 수행토록 만든 소자이며, 정확한 명칭은 Flash EEPROM이다. 그림 2-6은 플래시 메모리의 특성을 나타낸 것이다. 이러한 플래시 메모리는 기억정보가 전원이 꺼지더라도 없어지지 않아 비휘발성 메모리라 불리우며, 이 점이 DRAM이나 SRAM 등과 다른 점이다.

EPROM + EEPROM = Flash

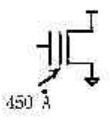
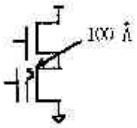
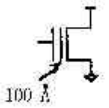
구 분	EPROM	EEPROM	Flash Memory
Cell 구조			
TR. 수	1개	2개	1개
Cell program 원리	Hot Electron	Tunneling	Hot Electron
Cell Erase 원리	UV-light	Tunneling	Tunneling

그림 2-6. 플래시 메모리의 특성

플래시 메모리란 전기적 데이터 고쳐쓰기가 가능한 PROM(Program 가능한 ROM)**이다. 각종 반도체 메모리의 특징이 그림** 2-7 **및 표** 2-1 **에 나타나 있는데 플래시 메모리의 대표적인 특징들을 아래와 같이 들 수 있다.**

① **전원 없이도 데이터를 보존할 수 있는 비휘발성이다.**

② **전기적으로 데이터의 변경이 가능하다.**

③ DRAM**보다 낮은** Bit Cost**를 실현 할 수 있다.**

④ **소거를 블럭/섹터 단위로 수행할 수 있다.**

⑤ **프로그램시 페이지**(Page) **혹은** Multiple Bytes**단위로 할 수 있다.**

⑥ **읽기 동작은** Random, Serial, Page **단위로 수행 할 수 있다.**

⑦ **프로그램은** F-N **터널링 또는 핫 캐리어 주입에 의해 이뤄진다.**

⑧ **소거는** F-N **터널링에 의해 이뤄진다.**

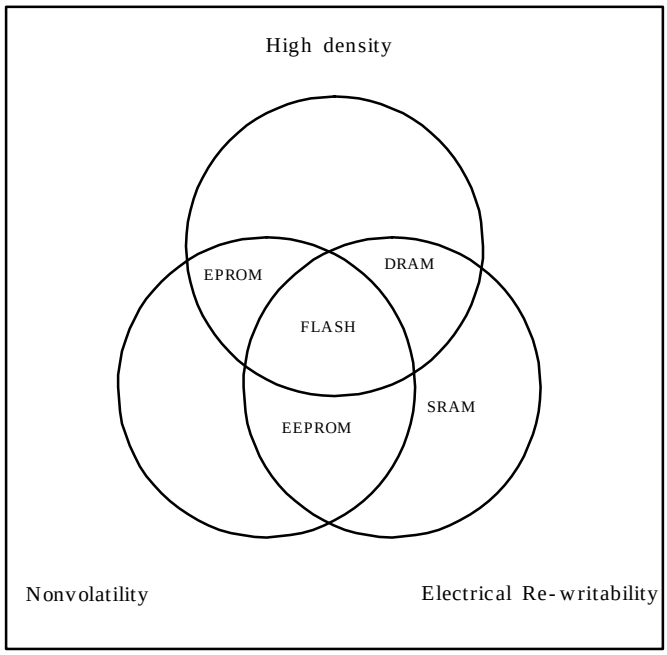


그림 2-7. 반도체 메모리 특성비교

표 2-1. 메모리 특성비교

	Flash	DRAM	SRAM	EEPROM	UV-EPROM	Hard Disk	Floppy Disk
Nonvolatility	O	X	X	O	O	O	O
High density	O	O	X	X	O	O	X
I-T cell	O	X	X	X	O	X	X
Low Power	O	X	X	O	O	X	X
In-system rewritability	O	O	O	O	X	O	O
Bit alterability	X	O	O	O	X	O	O
Fast read	O	O	O	O	O	X	X
Fast write	O	O	O	O	O	O	O
High endurance	O	O	O	O	X	O	O
Low cost	O	O	X	X	O	O	O
Single-power supply	O	O	O	O	X	O	O

2-3-4. 플래시 메모리와 타메모리의 특징비교

비휘발성 메모리인 EEPROM은 바이트 단위로 데이터를 소거하는데 반해, 플래시 메모리는 블록 단위로 데이터를 소거한다. 표 2-2는 각종 반도체 메모리와 플래시 메모리의 특징을 비교하여 나타내었다.

표 2-2. 각종 반도체 메모리의 특징

종 류	셀 구조	Read 속도	Data 변경		Data 보존전력	상대 Bit Cost
			변경방법	Write 속도		
DRAM	1Tr+1Cap	수10ns	쓰기 동작 (겹쳐 쓰기)	수10ns	수100μW	1
SRAM	4Tr+ 2부하소자	수10ns	쓰기 동작 (겹쳐 쓰기)	수10ns	수100μW	1
EPROM	1Tr	100ns대	적외선 소거+ 전기적 쓰기	수100μs	불필요	1.2
EEPROM	2Tr+ 터널 영역	100ns대	쓰기 동작 (겹쳐 쓰기)	10ms	불필요	10
Flash Memory	1Tr	100ns대	전기적 소거+ 전기적 쓰기	10μs	불필요	1

플래시 메모리의 잇점은 셀의 구조가 EEPROM 보다도 단순하고 미세화에 적합하다는 것으로부터 집적도가 높고, 대용량화를 이룩했을 뿐 만 아니라 표 2-3과 같이 기능적으로도 크게 진보했으며 지금도 계속되고 있다. 반도체 메모리는 자기 디스크와 비교하여 고속으로 데이터를 읽어내기가 가능하고, 기계적 부분이 없으며 소형, 경량화가 가능하기 때문에 전자 휴대기구의 외부 기억장치로써 최적의 특성을 보유하고 있다.

표 2-3. 플래시 메모리 기능의 진보

기 능	목 표	초 기	현 재	장 래
전원전압	3V 단일	5V/ 12V	5V/ 12V 5V/ 12V(3V 읽기도 가능) 5V단일 5V단일(3V 읽기도 가능)	3V 단일
소거단위	사용 간편함 추구	데이터 일괄소거	블록 소거 섹터 소거	사용 간편함과 가격으로 결정되는 적정 크기(Size)
소거방법	고속화	알고리즘 방식	자동실행 소거전 쓰기 불필요 소거의 일시중단과 재개가능	보다 고속 소거동작
쓰기 방법	고속화	알고리즘 방식	자동 실행	페이지 쓰기 방식 쓰기 펄스 단축
고쳐 쓰기 횟수	무한대	1만회	1 10만회	10 100만회

한편, 결점으로써는 소스에 높은 전압을 인가하여 소거할 때에 Band-to-Band 전류가 흘러, 쓸모 없는 전류를 소비하므로 전지에 의한 동작을 전제로 하는 장치에서는 문제가 될 가능성이 있다.

또한, 셀이 선택 게이트를 갖지 않는 방식을 위해 기본적으로 간섭의 대책이 필요하므로 이를 고려한 칩의 설계가 필요하게 되고, 특히 자기 디스크 대체 등의 응용을 고려하면 섹터화 대응 등에 난점이 있다. 자기디스크와 비교해서 고쳐쓰기 횟수에 제한이 있고, 고쳐쓰기 속도가 느리며, 특히 소거에 시간이 지나치게 걸리는 것이 문제이다.

2-4. 플래시 메모리의 종류

그림 2-8은 플래시 메모리의 셀 어레이 체계를 나타내었다. 현재 가장 일반적인 플래시 메모리의 구조는 크게 비트 라인과 접지 사이에 셀이 병렬로 배치된 후지쯔와 인텔이 제공하고 있는 NOR형 구조와 직렬로 배치된 NAND형 구조로 나눌 수 있고, 다시 NOR형 플래시 메모리는 변형 구조인 AND형, DINOR(Divided Bir-line NOR)형, VGA(Virtual Ground Array) 구조로 나눌 수 있다.

NOR형은 후지쯔와 인텔이 제공하고 있으며 거의 모든 반도체 업체들도 이 타입의 제품을 개발하고 있다. NAND형은 도시바와 삼성전자가 주도하고 있다. 그리고 기타의 형태인 AND형 및 DINOR형 등을 일부의 업체가 개발 및 판매 중이다.

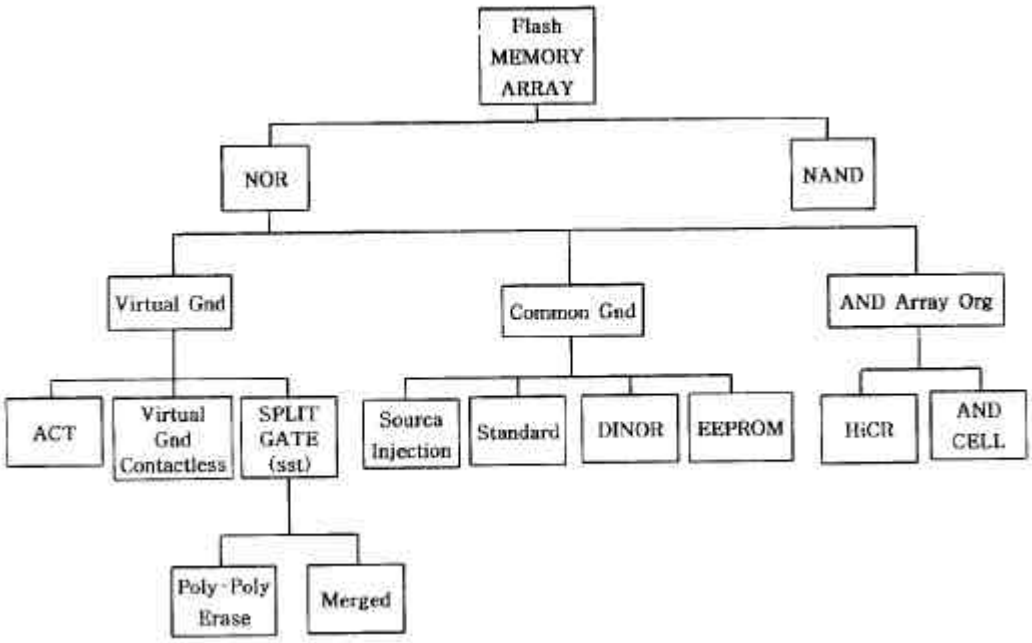


그림 2-8. 플래시 메모리의 셀 어레이 체계

NOR형의 스택 게이트형 셀 구조는 디자인 룰의 진전에 의해 고집적화가 비교적 쉽다. 이에 비해 NAND형과 셀 면적자체를 작게 할 수 있는 디자인도 있지만 대용량화에 따는 억세스타임이 늦어진다고 한다. 표 2-4는 NAND형과 NOR형의 특성을 비교하여 나타내었다.

표 2-4. NAND형과 NOR형의 특성비교

구분	NAND형	NOR형
장점	프로그램/소거가 빠름	읽기, 프로그램이 바이트화 (Random Access가능)
단점	읽기, 프로그램이 바이트화 불가 (Serial Access Type)	프로그램/소거가 느림.
용도	대용량 파일 (HDD적인 것에 사용) 코드 저장용 (단, CPU는 RAM상에서 실행)	컨트롤 코드 저장용 (직접실행가능) 소용량 파일

플래시 메모리에는 크게 나누어 코멘드 방식과 스태틱 논리방식의 2종류의 동작모드가 있다. 코맨드 방식은 동작모드의 설정을 특정주소에 미리 정해진 데이타를 넣는 등의 소프트웨어를 설정하는 방식이다. 스태틱 논리방식은 동작모드를 종래의 메모리와 마찬가지로 제어입력단자의 논리레벨 값으로 설정하는 방식이다.

2-4-1. NAND형 플래시 메모리

2-4-1-1. 셀 구조

그림 2-9는 스택형 구조의 셀 단면도이다. 실리콘 기판과 제어 게이트 사이에 부유 게이트를 끼운 통상의 EPROM 셀과 같은 2층 다결정 실리콘 게이트 구조로 되어 있다. 채널부의 게이트 산화막은 터널 산화막으로도 사용되기 때문에 산화막 두께는 100Å로 얇다. 부유 게이트와 제어 게이트간 절연막은 Oxide-Nitride-Oxide(ONO)의 3층 구조로 되어 있고 산화막 두께 환산으로 250Å의 막을 이용하고 있다. 셀 면적은 DRAM에서 필요한 커패시터가 없기 때문에 약 반이 되고, NOR형 플래시 메모리의 약 80% 정도가 되고 있다.

NAND 논리를 플래시 EEPROM에 구현하기 위해서는 그림 2-10과 같이 입/출력 단자는 비트 라인이 되고 비트 라인과 접지 라인 사이에 복수의 메모리 셀 트랜지스들이 직렬로 연결되어 1개의 스트링을 형성하고, 메모리 셀 트랜지스터의 게이트에는 제어 전압이 인가된다.

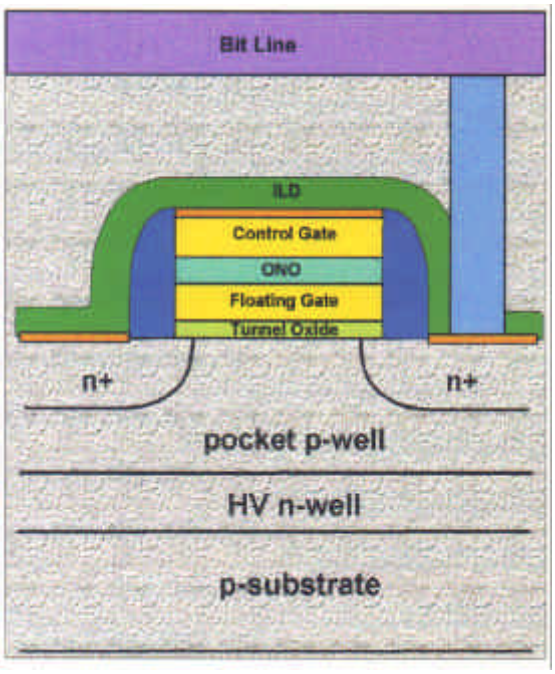


그림 2-9. 스택형 구조의 셀 단면도

NAND형 메모리로써는 TI사가 1975년 USP4059826에서 도시된 Mask ROM이 처음이다.

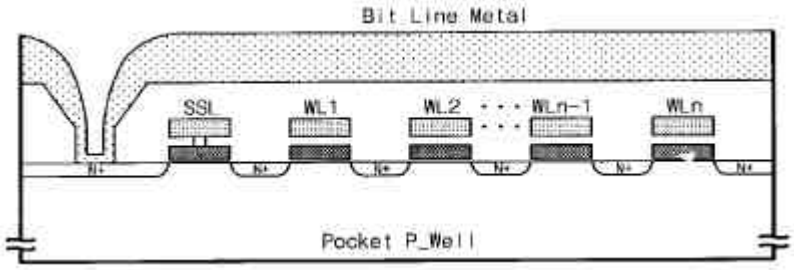


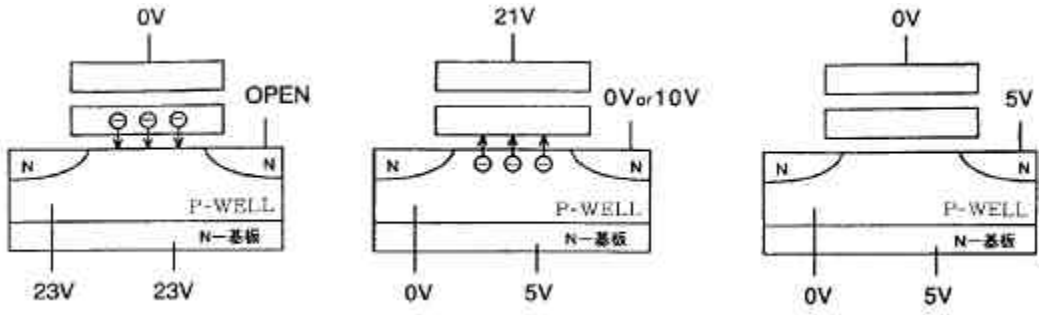
그림 2-10. NAND 셀 구조

2-4-1-2. 소거

소거할 때에는 그림 2-11(a)와 같이, 제어 게이트에 0V, P-well에 23V 정도의 고전압을 인가한다. 그 결과 게이트 산화막에 Flowlwe-Nordheim 터널 전류가 발생하고 전자가 부유 게이트에서 실리콘 기판으로 흐른다. 이 때 전자는 부유 게이트로부터 채널 전면으로 방출되고, 메모리 셀의 문턱값은 -3V 정도가 된다. F-N 전류는 다음 식으로 표시된다.

$$J = A \cdot E^{2} \cdot \exp(-B/E)$$

J는 전류, E는 전계, A, B는 상수이고 이 전류는 전계 의존성이 매우 크고 온도 의존성이 거의 없다는 점이 특징이다.



(a) 소거 (b) 쓰기 (c) 읽기

그림 2-11. NAND 플래시 메모리 셀의 동작

2-4-1-3. 쓰기

쓰기(또는 프로그램)에는 그림 2-11(b)와 같이, 제어 게이트에 21V, P-well에 0V를 인가한다. 이때 전자는 채널 전면으로부터 부유 게이트로 주입되고 메모리셀의 문턱값은 2V 정도가 된다. "0"데이터를 쓰기할 경우에는 드레인 전압에 0V, "1"데이터를 쓰기할 경우에는 드레인에 10V를 인가한다. 중간 전압의 10V가

인가되면 터널링 산화막에 걸리는 전계가 완화되고, 메모리 셀의 문턱값은 소정의 쓰기 시간내에서 거의 변화 없이 소거되었던 문턱값을 유지한다.

2-4-1-4. 읽기

그림 2-11은 NAND형 플래시 메모리 셀의 동작을 나타낸 것이다.

읽어낼 때에는 그림 2-11(c)와 같이, 드레인에 5V를 pre-charge 하고, 제어 게이트를 0V로 하는 것에 의해 메모리 셀의 문턱값이 양이나 음이냐에 따라 셀 전류가 흐르지 않느냐 흐르느냐가 결정되고, 그것에 의한 드레인 전압 값으로 데이터“1”또는“0”을 읽어낸다.

2-4-1-5. 과잉 소거 및 프로그램

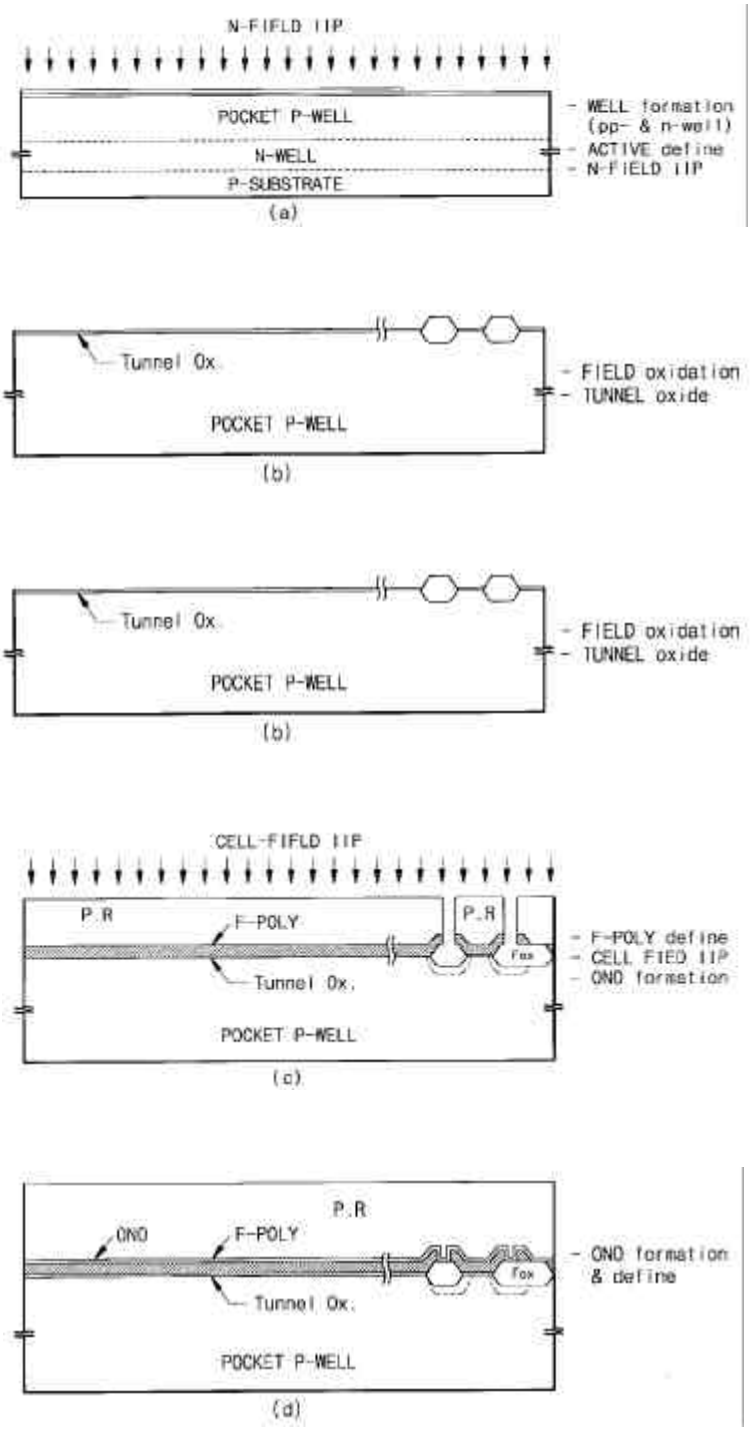
F-N 전류가 전계에 지수함수적으로 민감하고 공정변수에 의한 용량성 접합률(Couping Ratio), Vcc 및 온도 변화 등으로 인하여 프로그램 및 소거 속도가 셀 마다 다른 값을 갖는다.

과잉 소거된 셀에 의한 문턱값 분포는 스트링 전류를 크게 하기 때문에 문제가 되지 않으나, 과잉 프로그램된 셀에 의한 문턱값 분포는 스트링 전류를 급격히 감소시키기 때문에 스트링 전체가 Read Fail을 유발하는 문제가 있어 NAND 플래시에서는 과잉 프로그램을 줄이는 것이 중요하다.

2-4-1-6. NAND형 플래시 메모리의 제조방법

그림 2-12는 NAND형 플래시 메모리의 제조공정을 나타낸 것으로, Triple Well(pocket p-well), CMOS Process, 2-Poly, 1-metal

Process로 수행된다.



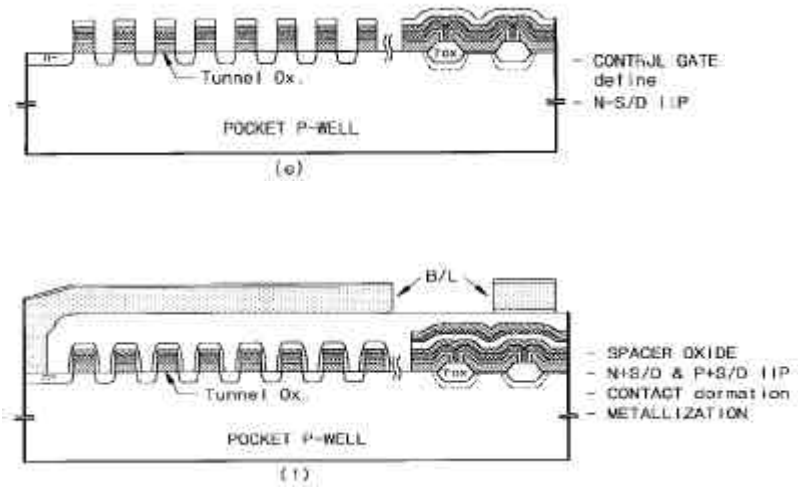


그림 2-12. NAND 플래시 메모리 제조방법

2-4-1-7. NAND 플래시의 기본 특성 및 동작시간

실제 사용하고 있는 NAND 플래시 메모리 제품인 삼성의 16M 용량을 가진 KM29N16000TS를 대표적인 예로 설명하고자 한다.

KM29N16000TS는 2M×8Bit NAND형 플래시 메모리로 5V에서 동작되며, 메모리 셀 구조는 (2M+64K)×8Bit의 형식을 취하고 있다. 데이터 레지스트는 (256+8)×8Bit의 구조이다.

메모리 쓰기를 하기전에 내부 메모리 블록을 소거해야 하는 소거동작은 자동으로 되어 있어 시스템 설계자가 사용하기 매우 용이하며, 1 페이지는 256+8Bytes의 형식을 취하고 있다.

1페이지의 랜덤 액세스 시간은 20μs이며, 실질적인 플래시의 특성을 살린 시퀀셜 페이지 액세스는 80ns이다. 또한, 어드레스와 데이터 핀 형식을 취하고 있으며, 데이터 핀을 이용하여 어드레스를 인식하는 것이 특징이다. 외장 패키지는 44(40)핀 TSOP를 사용하고 있다.

KM29N16000TS의 동작은 [Command입력 → Address입력 → Read/Write]의 순으로 진행되며, 이러한 모든 명령과 어드레스 입력, 데이터 입출력은 I/O#핀을 통해서 이루어진다.

따로 명령 입력 핀이나 어드레스 핀이 없기 때문에 I/O# 핀에서 명령 입력의 경우는 1 2 사이클, 어드레스 입력은 3사이클에 걸쳐 입력한 후 데이터 입출력을 하게 된다.

메모리 어드레스 구조는 최소 단위가 64Bytes((256+8)×8Bits)를 기본으로 하는 1페이지로 구성되어 있으며, 이 페이지들을 하나의 또 다른 메모리 어레이로 묶은 것이 바로 블록으로 16 페이지를 기본으로 한다. 즉, 16Pages = 16×(256+8)Bytes이므로 총용량은 (4K+128)Bytes가 되는 것이다.

이러한 블럭들이 256개 모여있는 것이 바로 그림 2-13에 나타낸 바와 같이, 총용량 16MBit의 플래시 메모리이다. 표 2-5는 KM29N16000TS의 명령어 입력동작표이고, 표 2-6은 KM29N16000TS의 동작 수행표이다.

삼성의 플래시 메모리는 비동기 메모리로 일종의 래치 인어블(Enable) 컨트롤 형식을 취한다. 예를 들어 칩 인에이블 신호가 CEB이므로 CEB값이 로우일 때 메모리 입출력 및 명령 수행을 할 수 있다.

NAND 플래시의 특성을 살려 시퀀셜 모드로 전환하게 되면 플래시의 이상적인 특성인 어드레스의 대용량 데이터 입출력이 가능하게 된다. 하지만 NAND 플래시 종류는 한 핀을 가지고 3가지의 각기 다른 명령을 수행해야 하는 것이 큰 걸림돌이다.

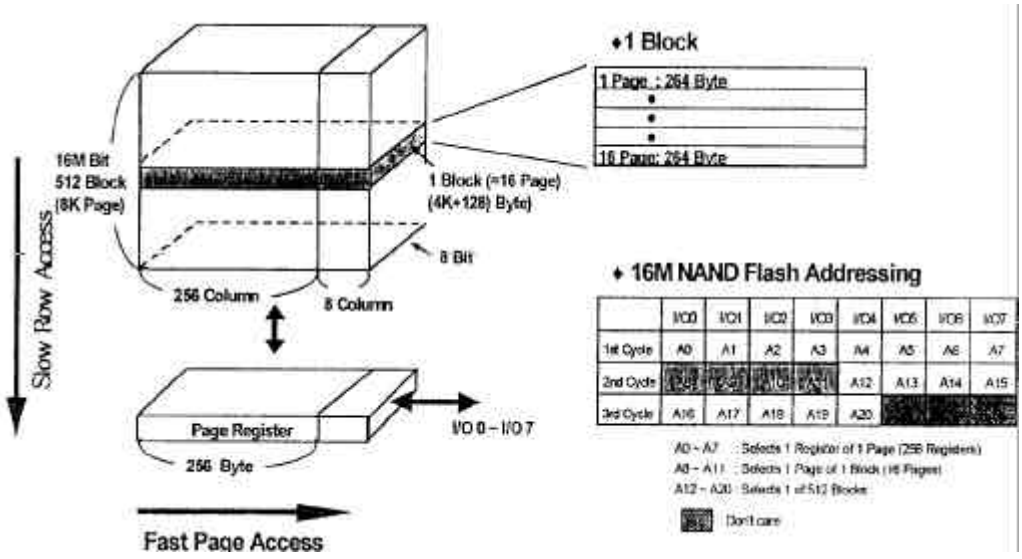


그림 2-13. NAND 플래시의 메모리 어레이 구조

표 2-5. KM29N16000TS의 명령어 입력 동작표

명 령 수 행	1Cycle	명 령 수 행	1Cycle	2Cycle
Sequential Data Input	80h	Block Erase	60h	D0h
Read 1	00h	Multi-Block Erase	60h…60h	Doh
Read 2	50h	Erase Suspend	B0h	·
Read 3	90h	Erase Resume	D0h	·
Reset	FFh	Read Status	70h	·
Page Program	10h	Read Register60h	E0h	·

이것은 도시바와 삼성이 기술제휴 및 협력을 통하여 만든 플래시이므로 기존의 제품인 DRAM 형식을 많이 모방했기 때문인 것으로 보인다.

다른 종류보다 적은 핀을 사용하여 작은 패키지와 면적을 차지한다는 장점이 있는 반면 독자적으로 사용할 수 없고 DRAM과 마찬가지로 플래시 제어용 회로가 별도로 존재하여야 한다는 묘한 상황에 처하게 된다.

표 2-6. KM29N16000TS의 동작 수행표

CLE	ALE	CEB	WEB	REB	WPB	I/O#	동 작 수 행
H	L	-	R	H	×	Din	명령입력
L	H	-	R	H	×	Din	어드레스 입력(3Cycle)
L	H	-	H	F	×	Dout	어드레스 출력(3Cycle)
L	L	-	R	H	×	Din	데이터 입력
L	L	-	H	F	×	Dout	시퀀셜 Read&Data 출력
×	×	·	×	×	×	Z	Program, Erase, Busy State
×	×	·	×	×	×	Z	Write Protect

R : Low and Rising Edge
F : High and Failing Edge

2-4-2. NOR형 플래시 메모리

2-4-2-1. 셀 구조

그림 2-14는 NOR형 플래시 메모리 셀의 구조를 나타내었다. 스택 게이트형 플래시 메모리는 EEPROM과 마찬가지로 1개의 MOS 트랜지스터로 구성되어져 있다. 다결정 실리콘 재료인 부유 게이트와 이것에 의해 적층된 같은 다결정 실리콘으로 된 제어 게이트의 2층 다결정 실리콘의 적층 구조로 되어 있다. 부유 게이트 아래의 산화막의 두께가 터널링 전류를 흐르게 할 수 있을 정도로 (10nm) 얇게 되어 있다. 그 결과 전기적 소거가 가능하게 되어 있다. 부유 게이트는 주위가 절연체로 둘러싸여져 있고, 전하를 장

기간에 걸쳐서 보존할 수 있다. 부유 게이트의 전위는 제어 게이트의 전위와 스스로 움직이는 전하에 의해 제어된다.

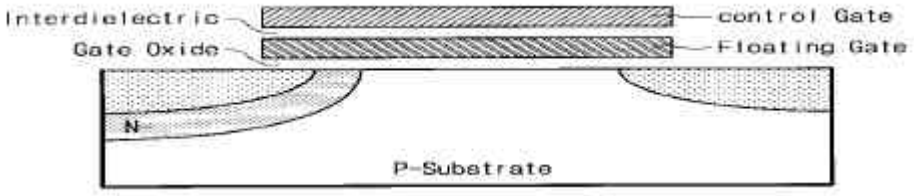


그림 2-14. NOR 플래시 메모리 셀의 구조

2-4-2-2. 쓰기

메모리 셀에 쓰기를 할 때는 그림 2-15와 같이, 드레인에 5V, 소스에 0V, 제어 게이트에 12V를 인가하면, 전자가 소스로부터 드레인으로 고전계로 흐른다. 따라서 에너지는 드레인 부근에서 높아져 핫 전자가 되어, 산화막의 에너지 장벽을 넘어 전자는 부유 게이트 속으로 주입된다. 그 결과 메모리 셀의 문턱값은 높아진다.

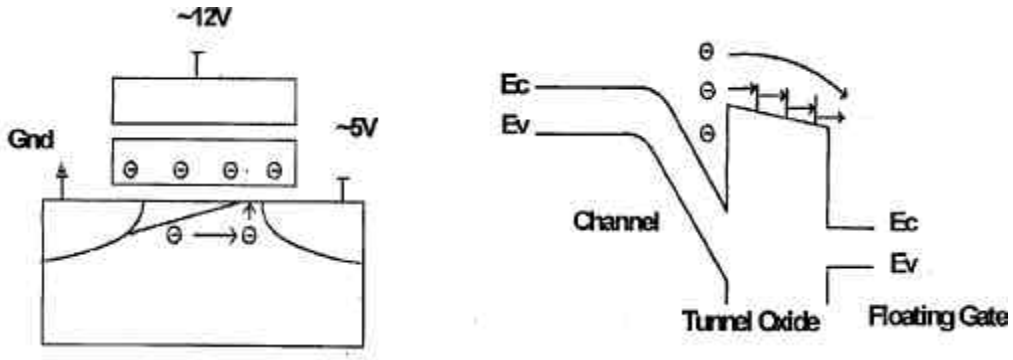


그림 2-15. NOR 플래시 메모리 셀의 쓰기

2-4-2-3. 읽기

데이터 “0”을 읽을 때는 제어 게이트에 5V를 인가하면, 부유 게이트의 마이너스 전하에 의해 부유 게이트는 마이너스 전위가 되므로 트랜지스트가 통하지 않은 경우이다. 데이터 “1”을 읽을 때는 제어 게이트에 5V를 인가하면, “0”인 부유 게이트의 전하에 의해 부유 게이트가 플러스가 되어 트랜지스터가 통하는 경우이다.

2-4-2-4. 소거

플래시 메모리의 블록 소거 기술은 셀 소거 기술과 밀접하게 관련되어 있다. 스택형 다결정 실리콘형 플래시 메모리 셀 소거법은 현재 3종류가 제안되고 있다.

① 소스 소거방법

소거할 때에는 그림 2-16과 같이, 소스에 12V, 제어 게이트에 0V를 인가한다. 부유 게이트와 P형 실리콘기판의 사이(산화막)에 고전계(>10MV/cm)가 걸리면, 전자가 에너지를 얻어 터널 산화막 밴드구조의 삼각형 장벽을 넘어 터널링이 일어나는 방식으로 F-N 터널 전류가 흐른다. 이때 부유 게이트에서 소스로 전자가 빠져나간다. 그 결과 메모리 셀의 문턱값이 낮아진다.

소스 소거방법에서는 소스와 부유 게이트의 겹침 면적이 부유 게이트와 제어 게이트의 겹침 영역의 면적보다도 작기 때문에 소스측에서 본 셀 용량비가 작고 비교적 낮은 소스/제어 게이트간 전압으로 소거가 실현된다. 반면, 고 내압 구조로 해야만 하는 결점이 있다. 그 때문에 셀은 미세화는 근본적으로 부적합하다.

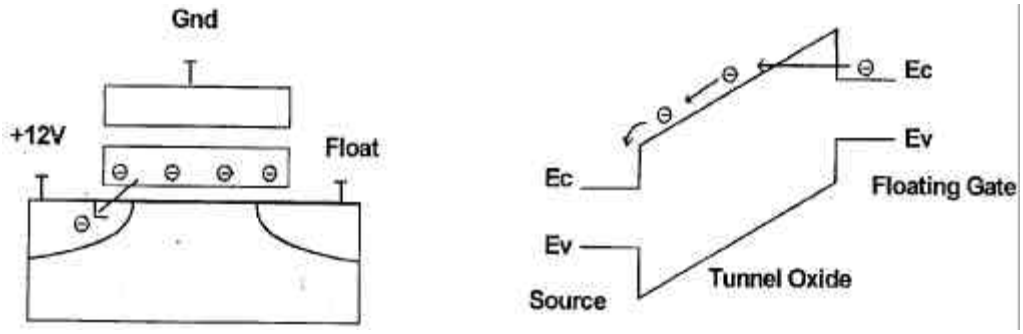


그림 2-16. NOR 플래시 메모리 셀의 소스 소거방법

② 소스/게이트 소거방법

그림 2-17은 소스/게이트 소거방법으로 소스로 전하를 빼내는 점은 같지만 소스에 고전압을 인가하지 않는 소거방법이 소스/게이트 소거방법이다. 소스에 인가하는 전압은 5V 정도로, 소거 전류에 필요한 전계는 제어 게이트에 인가한 높은 부(-) 전압으로 얻는다.

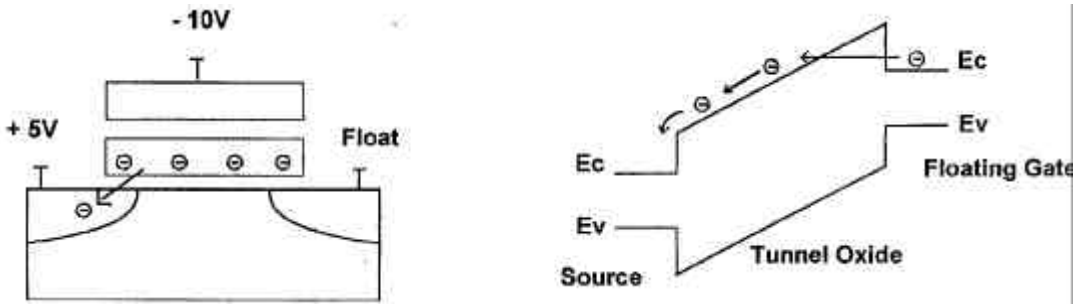


그림 2-17. NOR 플래시 메모리 셀의 소스/게이트 소거방법

소스/게이트 소거법은 소스 소거법과 같이 소스와 부유 게이트의 겹침 영역이 소거 영역이 된다. 이 방법은 소거 전압이 비교적 낮고, 소거 블록의 선택이 용이하며 소스의 핫 홀은 터널 산화막 쪽으로 주입이 감소된다.

③ 기판 소거방법

기판 소거방법에서는 그림 2-18과 같이, 제어 게이트에 -18V 정도의 부(-)전압, 또는 실리콘 기판(웰)에 18V정도의 정(+)전압을 인가한다. 소스 및 드레인은 열려 있다. 그 결과 게이트 산화막에 F-N 터널 전류가 발생하고 전자가 부유 게이트에서 실리콘 기판으로 흐른다.

기판 소거 방법에서는 소거시에 소스 확산층에는 고 전압이 인가되지 않기 때문에 고 내압구조의 확산층이 필요하지 않다. 따라서 셀의 소스/드레인의 확산층은 대칭이고 얕게 형성되어 미세화 구조에 적합하다. 소스 소거방법과 같이 소거시의 누설 전류가 발생하는 것도 없고, 소거 전류는 부유 게이트에서 실리콘 기판으로 흐르는 F-N 전자 전류만으로 된다.

또한, 소거 전류가 흐르는 영역이 셀 트랜지스터의 채널영역과 전역에 걸치기 때문에 같은 소거 속도를 얻기 위한 소거 전류밀도는 소스 소거방법의 경우보다도 작다.

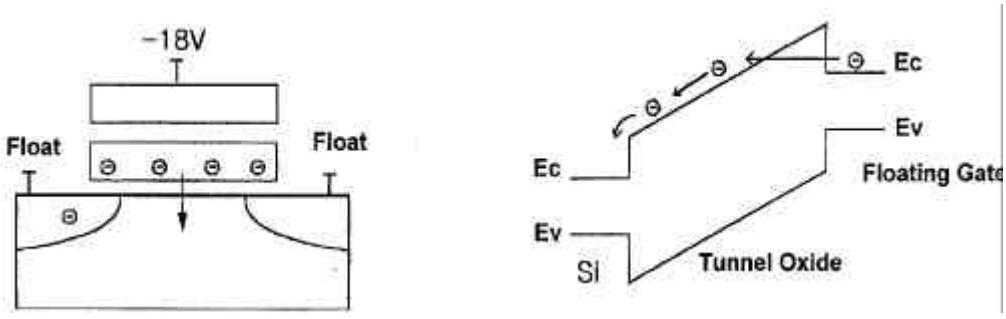


그림 2-18. NOR 플래시 메모리 셀의 기판 소거방법

메모리 셀의 게이트 전압(V_G)-전류(I_d) 특성을 그림 2-19에 나타내었다. 소거상태에서는 부유 게이트에 과잉 정공이 들어 있어 트랜지스터의 특성은 점선으로 나타내는 곡선(a)와 같이 공핍형이 된다. 따라서, 메모리 셀의 특성은 곡선 (b)와 같이 선택 트랜지스터의 문턱값이 1V로 결정되는 채널 증가형 특성이 된다. 프로그램 상태에서는 부유 게이트에 전자가 주입되고 있어, 부유 게이트 트랜지스터의 문턱 전압은 거의 7V가 되어 셀 특성은 곡선 (c)와 같이 된다.

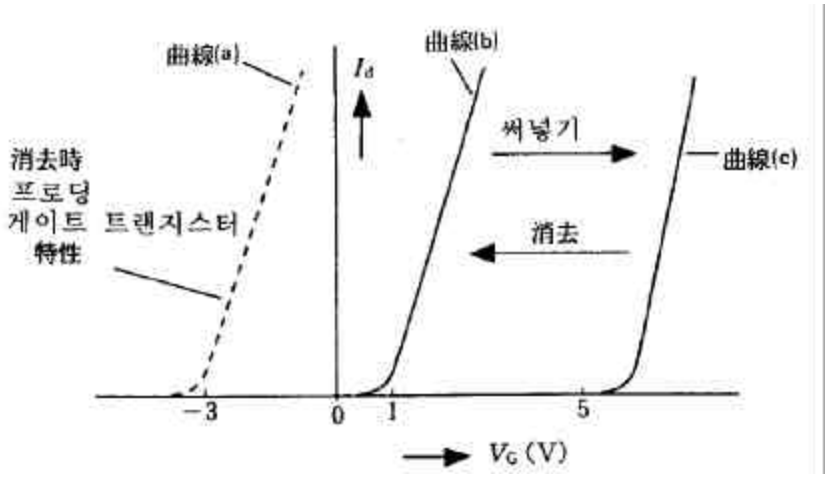


그림 2-19. 메모리 셀의 전압-전류 특성

2-4-2-5. 과잉 소거

소거 동작 후에 셀 문턱값이 0V 이하로 과도하게 소거되는 경우로 정의되고 과잉 소거된 셀이 선택 비트 라인에 1비트이라도 존재하면 프로그램된 셀을 읽더라도 비트 라인에 연결된 모든 셀은 On-Cell(소거된 셀)로 읽게 된다.

2-4-2-6. NOR 플래시 메모리의 기본 특성 및 동작시간

NOR 플래시에서는 읽기, 쓰기 등을 무작위로 할 수 있다는 장점이 있지만 리셋이나 소거 핀을 이용하여 지우지 않은 블럭은 다시 메모리에 쓸 수 없다. 이러한 랜덤 액세스 형식을 취할 수 있는 NOR 플래시는 고밀도 메모리를 요구하는 코드 저장 방식이나 XIP(Execute In Place : 지정 실행) 방식에 적합하다.

동작 시간은 대부분 65 75ns정도이지만 3상 파이프 라이닝 비동기 방식의 인텔 28F016XS 같은 경우에는 30ns까지 줄일 수 있어 33MHz의 동작시간을 얻을 수 있다.

일반적으로 NOR 플래시는 고밀도의 64Kbyte 소거블럭과 긴 소거시간인 1 2sec를 갖고 있으며, 비록 크게 블럭 소거시간을 줄일 수 있다 하더라도 이것은 이미 초과된 제어회로에서 필요한 데이터를 꺼내는 것을 줄이는 것과 같다고 할 수 있다.

소거시간이란 임의의 데이터가 저장된 경우나 메모리 블럭의 리셋이나 리플래시, 클리어 등의 동작을 수행하는 시간을 말하는 것으로 메모리 블럭에 쓰기를 해주기 전에 반드시 소거해야 한다.

히다치의 HN28F1600 제품이 이러한 NOR 플래시의 소거 블럭(Sector) 크기와 소거시간의 상관 관계를 깨뜨렸다고 하지만 각 512 바이트 섹터는 10㎳ 정도에 소거할 수 있는 장점이 있는 반면, 주변의 32개가 넘는 섹터를 표시해 주어야 하며, 또한 15㎳에 해당하는 별도의 소거시간이 소요된다.

일반적인 RAM과 비교할 때 NOR 플래시는 쓰기 시간이 약 7 10㎲/Byte로 상대적으로 길다. 인텔의 16MBit 플래시 제품은 한꺼번에 처리되는 쓰기의 효율을 높이기 위하여 2개의 서로 다른 256RAM 버퍼를 내장하고 있다.

예를 들어 버퍼에 데이터가 들어 있을 때 3μs/Byte의 비율로 플래시 어레이에 데이터를 넣을 수 있는데 이것은 다른 종류에 비해서 한번에 1바이트를 쓰기하는 시간이 2배 이상 빠른 것이다.

이와 비슷한 제품이 바로 히다치의 HN28F1600인데 쓰기 시간을 조금 더 향상시키기 위하여 8바이트 페이지를 가져야 한다는 단점이 있다. 그래서 1바이트의 쓰기 시간은 10μs인데 반하여 8바이트 페이지는 20μs밖에 걸리지 않는다.

2-4-3. DINOR형 플래시 메모리

DINOR형 플래시 메모리 셀의 구조는 그림 2-20과 같고 셀 어레이 구조는 그림 2-25와 같다. 셀이 2차원 행렬로 배치된 형태로서 소스 라인과 비트 라인의 구별이 없으며 동작 과정에서 셀의 선택은 인접 배선이 소스 라인과 비트 라인의 역할을 교대로 담당함으로써 이루어진다.

DINOR형 플래시 메모리는 NOR를 양쪽으로 포개놓은 듯한 형상을 지니고 있기 때문에 NOR 플래시 메모리와 매우 흡사하지만 구조적 배치에 따른 소거와 읽기의 방법에서 차이가 난다. NOR 플래시 메모리의 경우에는 주로 메탈 연결선을 사용하지만 접촉지점의 크기를 줄이기 위하여 폴리실리콘을 서브 비트라인 형식으로 사용하고 있다.

이 방법은 더욱 빠른 접속 시간을 제공하고 다른 종류에 비하여 칩의 크기를 25% 정도 줄일 수 있다. 쓰기를 대용량으로 하기 위해 256Byte 버퍼를 사용하고 있으며, 저전하 쓰기 및 소거와 3.3V 이상의 높은 전압을 내부에서 사용할 수 있도록 전하 펌프가 집적되어 있다.

소거할 때에는 벌크 F-N 터널링 현상을 이용하고, 쓰기할 때에는 드레인 F-N 터널링 현상을 이용한다.

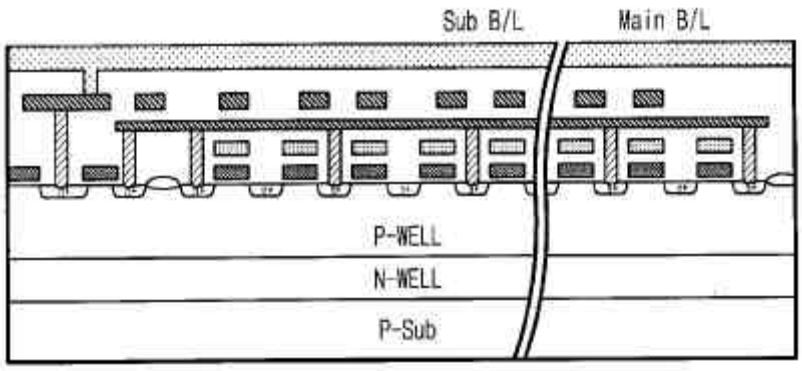


그림 2-20. DINOR 셀 구조

2-4-4. AND(ACEE)형 플래시 메모리

AND형 셀 구조는 그림 2-21과 같고, 어레이 구조는 그림 2-25과 같으며 NOR 플래시와 NAND 플래시의 장점을 서로 보완한 것이다. 처음 상품화된 AND 플래시는 32MBit 어레이를 가지고 있으며 512Byte의 소거 블록으로 구성되어 랜덤 및 시퀀셜 액세스 모드의 2가지 특성을 지닌다.

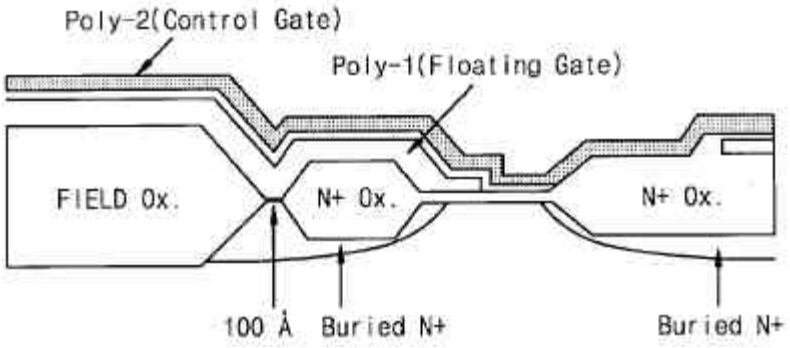
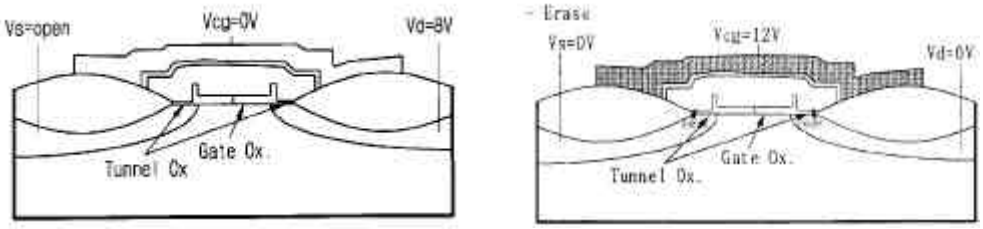


그림 2-21. AND(ACEE) 셀 구조

2-4-5. HiC형 플래시 메모리

HiC형 셀 구조는 그림 2-22와 같고, 대량 저장에 용이하고, 컬럼/로우(Column/Row) 여분(Redundancy) 회로의 효율이 매우 높다. 또한, 낮은 전압 사용이 가능하고 Positive 전압만을 사용하며, 구조상 Band-to-Band 터널링 현상이 줄어 든다. 프로그램 윈도우(Window)가 작아 멀티 레벨에 적용하기가 힘들며 제조 공정이 복잡한 단점이 있다.



(a) 쓰기 (b) 소거

그림 2-22. HiC 플래시 메모리 셀의 구조

2-4-6. 소스 주입-공동 접지 플래시 메모리

소스 주입-공동 접지(Source Injection-Common Ground) 셀의 구조는 그림 2-23과 같고, 낮은 전류 CHE 소스 주입으로 프로그램을 행하고, 소거시에는 Poly-to-Poy로 행한다.

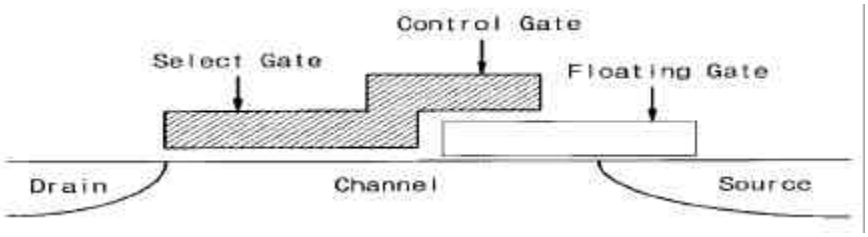


그림 2-23. 소스 주입 플래시 메모리 셀의 구조

2-5. 플래시 메모리 회로

1M 비트 플래시 메모리의 회로 구성도를 그림 2-24에 나타냈다. 프로그램 회로계 및 소거 회로계에 승압 회로를 채용하여 고속 프로그램, 고속 소거를 실현하고 있고, 또 센스업계의 개량에 의해 고속 읽기를 달성하고 있다. 프로그램 소거동작의 제어는 명령제어회로에 의해 행해진다.

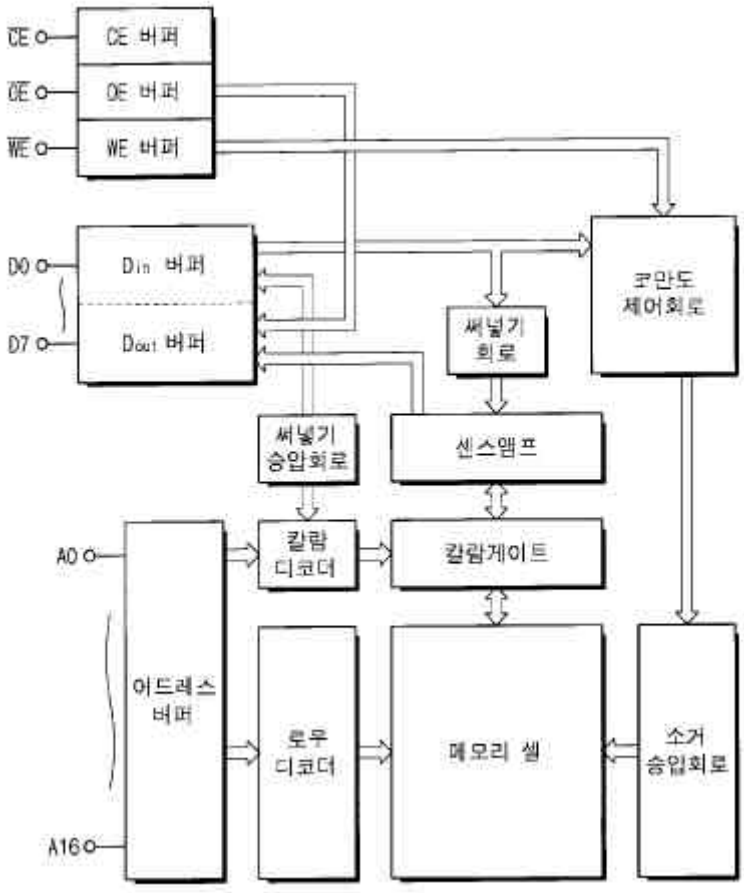


그림 2-24. 1M비트의 블럭 다이어그램

2-5-1. 셀 어레이 구조

현재까지 발표된 플래시 메모리 기술 중 대표적인 것들은 아래 그림 2-25와 같다. 이중 NOR 플래시가 현재 플래시 마켓(주로 EPROM 대체)의 주종을 이루고 있으며, 저가격, 대량 저장을 겨냥한 NAND 플래시가 상용화되어 다양한 마켓(메모리 카드, 음성 저장, 디지털 카메라... 등)이 급성장 중에 있으며, 최근에 DINOR, AND 기술이 상용화되어 있다.

이 외에 다수의 플래시 셀 기술이 발표되었으나 현재까지 주요 기술로 등장하고 있지 않은 상태이다.

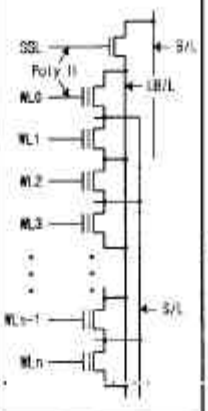
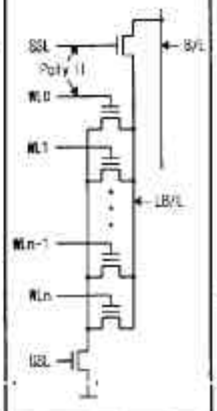
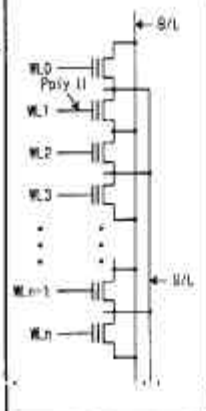
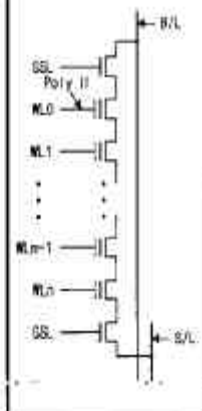
	DINOR	AND	NOR	NAND
Cell Structure				
Prog/Erase	F-N/F-N Tunneling	F-N/F-N Tunneling	CHE/F-N Tunneling	F-N/F-N Tunneling
Process Complexity	X 1.3 (3P.2M)	X 1.4 (3P.1M)	X 1.2 (2P.2M)	X 1.0 (2P.1M)
Low Vcc ?	3.3V	5.0V or 3.3V	5.0V/12V	5.0V or 3.3v0
Block Size ?	64KB	512KB	64KB	4KB
Researcher	Mitsubishi	Hitachi	Intel	Samsung/Toshiba

그림 2-25. 플래시 메모리 기술

2-5-1-1. NAND 플래시 메모리의 프로그램 및 소거

프로그램 메카니즘은 F-N 터널링으로 NOR 플래시에서 주로 사용되는 핫 캐리어 주입에 비하여 프로그램 속도는 떨어지나 전류 소모가 작아 페이지 단위의 프로그램 동작에 적합하다.

셀을 프로그램하기 위해서는, NAND 플래시의 경우 그림 2-26과 같이, 선택 비트 라인에 0V를 가하고 선택 워드 라인에 15-20V의 고 전압을 인가한다. 이에 따라 선택 셀의 부유 게이트와 채널 사이에는 15-20V의 전압이 인가되어 채널로부터 전자들이 부유 게이트로 터널링되어 문턱값이 증가되어 프로그램동작이 수행된다.

실제 프로그램 동작시 가해지는 게이트 전압은 프로그램되는 셀들의 문턱값 분포와 밀접한 관계가 있고, 이 문턱값 분포는 소자의 특성(속도, 신뢰성... 등)들과 관련이 있으며 이에 따라 표 2-7과 같은 여러 가지 방법들이 제시되고 있다.

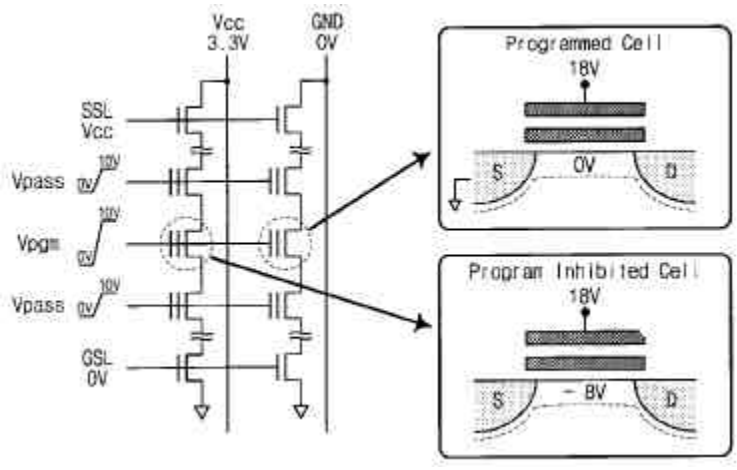


그림 2-26. 프로그램 및 프로그램-소거 동작

표 2-7. 프로그래밍 펄스 예

Pulse Voltage	Program Speed	Programmed Cell Vth Dist.	Waveform
Constant 16.5V	Slowest	Narrowest	
Constant 18V	Fastest	Widest	
Incremental Width	Slow	Narrow	
Incremental 15.5-20V	Fast	Narrow	

선택된 페이지(워드 라인)에 연결된 셀 중 프로그램이 되지 않아야 되는 셀들(즉 소거된 상태로 남아 있어야 하는 셀)의 비트 라인에는 그림 2-26에서와 같이 Vcc가 인가된다. 이 경우 SSL 트랜지스터의 게이트가 Vcc이므로 Vpass, Vpgm전압이 인가되면, SSL 트랜지스터는 Off 상태가 되고 스트링 내부의 채널 전압은 8-10V정도로 Self-Boosting된다. 이에 따라 선택 셀의 제어 게이트에는 8-10V전압이 걸려 셀 트랜지스터의 게이트-채널간 전압이 충분하지 않아 F-N 터널링에 의한 Threshold Shift가 억제된다. 아래 그림 2-27은 이 상태에서의 셀의 동작을 보여주고 있다.

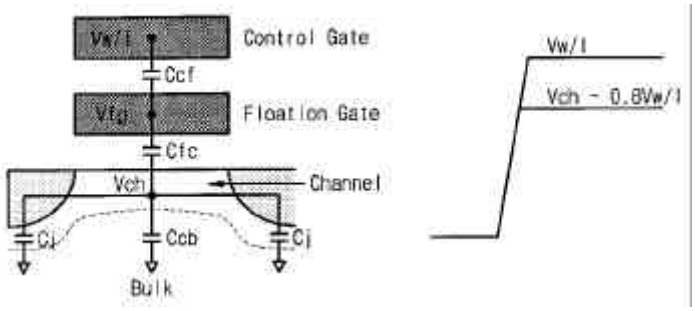


그림 2-27. Self-Boosted 채널을 갖는 프로그램 소거 셀

2-5-1-2. NAND 플래시 메모리의 읽기/검증

읽기 동작은 셀에 저장된 데이터를 순수하게 읽어내는 동작이며 검증(Verify)은 프로그램 또는 소거 후에 해당 셀이 원하는 문턱값으로 설정되어 있는지를 검사하기 위한 동작이다 용도차이는 있지만 실질적인 동작은 모두 동일하다

그림 2-28 및 그림 2-29는 각각 읽기 동작 상태와 읽기 타이밍을 보여 주고 있다. 읽기가 시작되면 페이지 버퍼의 모든 래치는 DCB 및 SBL이 하이가 되어 리셋 된다(래치의 오른쪽/왼쪽 노드가 0/Vcc로 셋팅됨). 읽기 구간에서 비트 라인과 페이지 버퍼 사이에 연결된 두개의 고전압 트랜지스터 중 BLSHF에 연결된 증가형 트랜지스터는 Fully ON된 상태이며 ψblsh에 연결된 공핍형 트랜지스터(Vth 1.8V)의 게이트에는 0V가 가해진다. 이때 SBL 및 ψ래치에 연결 된 트랜지스터들은 Off 상태가 되어 페이지 버퍼내의 래치는 아무 영향을 주지 않게 되며, 그림에 나타난 것과 같이 Iref 전류가 비트 라인에 공급된다.

이제 선택된 셀이 프로그램된 셀(데이터 "0")이라고 가정하면, 이때 셀 트랜지스터의 문턱값은 1V정도가 되며 셀 게이트에 0V가 인가되므로 스트링으로는 전류가 흐르지 않게 되어 Iref는 비트 라인을 충전시킨다. 일단 비트 라인이 공핍형 트랜지스터의 Vth(1.8V)까지 충전이 되면 1blsh에 연결된 트랜지스터는 게이트에 0V가 인가되어 있으므로 Shut-Off 조건이 되어 비트 라인과 센싱 노드 X는 전기적으로 절연되며, 이에 따라 Iref에 의하여 센싱 노드 X는 이후 급격하게 Vcc로 충전된다.

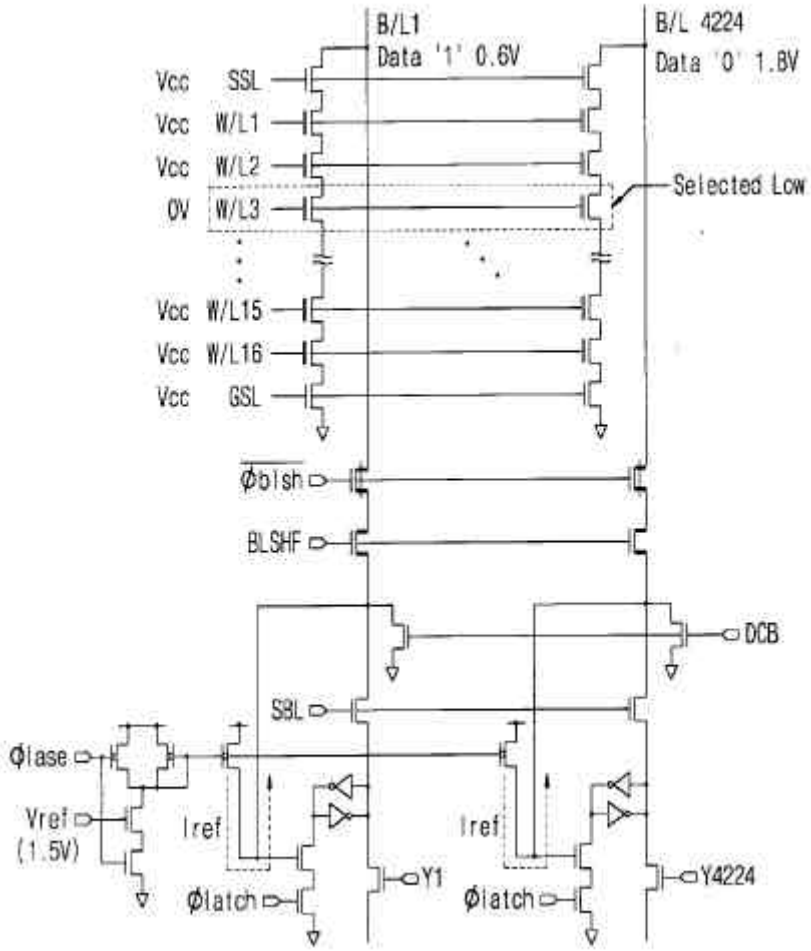


그림 2-28. NAND 플래시 페이지 읽기 동작

Iref에 의하여 센싱 노드 X가 Vcc로 충전되면 이후 0래치 펄스가 동작되어 래치의 왼쪽 노드에 저장되었던 Vcc를 0V로 방전시킴으로써 페이지 센싱 동작이 완료된다.

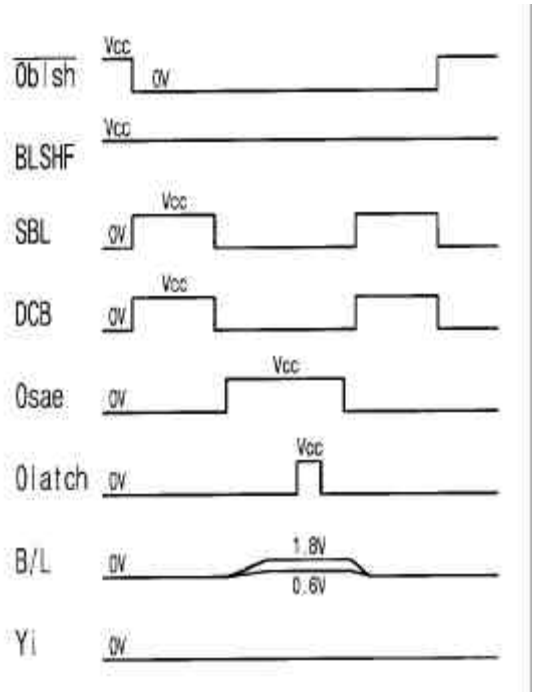


그림 2-29. 읽기 타이밍 다이아그램

한편, 선택된 셀이 소거된 셀(데이터 "1")이라고 가정하면 이때 셀 트랜지스터의 문턱값은 -3V정도가 되며 셀 게이트에 0V가 인가되므로 스트링으로 전류가 흐르게 되어 비트 라인으로 공급되는 Iref는 비트 라인을 충전시키지 못하고 모두 셀을 통하여 빠진다. 이에 따라 비트 라인과 센싱 노드는 0.6V정도의 낮은 전압이 형성되고, ψblsh에 연결된 공핍형 트랜지스터는 ON 조건이 된다.

Iref에 의하여 센싱 노드 X가 0.6V로 충전되면 이후 0래치 펄스가 동작되나 래치좌측 노드와 ψ래치 트랜지스터사이의 트랜지스터 게이트 전압이 0.6V(<Vth)이므로 이 트랜지스터는 Off상태로 있어 래치 데이터는 변하지 않는다.

2-5-1-3. 여분(Redundancy) 회로

4M 비트 NAND-EEPROM에는, 2 로우(Row) 4 컬럼(Column)의 여분 회로가 탑재되어 있다. 1 로우에서 1NAND×512 바이트분의 메모리 셀, 즉 연속된 8개의 제어 게이트를 바꿔 놓는다.

통상 NOR형 플래시 메모리와 EPROM에서는 제어 게이트 1개(1-워드선) 단위의 치환이 가능한 것에 비해, NAND형 셀에서는 그 특성상 메모리 셀을 트랜스퍼-트랜지스터로써 사용하기 위해 1개의 로우 불량이라도 8개의 로우 불량(블록 불량)이 될 위험성이 있기 때문에 한번 1NAND분의 로우를 치환한다. 면적 효율은 거의 없지만, NOR형 플래시 메모리가 일반적으로 로우 여분의 구제율이 나쁜 것에 비해, NAND형에서는 선택 게이트가 있기 때문에 구제율은 좋다. 컬럼 여분은 1 컬럼으로 8*I/O* × 1,024 비트분의 메모리 셀을 치환한다.

여분 셀을 선택할 때의 구동을 그림 2-30에 나타내었다. 어드레스 신호가 입력되면, 어드레스 버퍼 회로에 의해 파형정형된 신호가 여분 어드레스 검지회로에 전달된다. 이 여분 어드레스 검지회로는 미리 휴-즈 소자에 의해 여분 어드레스가 프로그램되어 있다. 모든 여분어드레스를 검지하고 일치한 후, 그 신호가 로우 또는 컬럼의 디코더 제어회로에 전달된다. 그 결과 통상 디코더는 선택되지 않은 여분디코더가 선택되고 여분 셀이 선택된다. 이 동작은 NOR형과 NAND형이 공통이다.

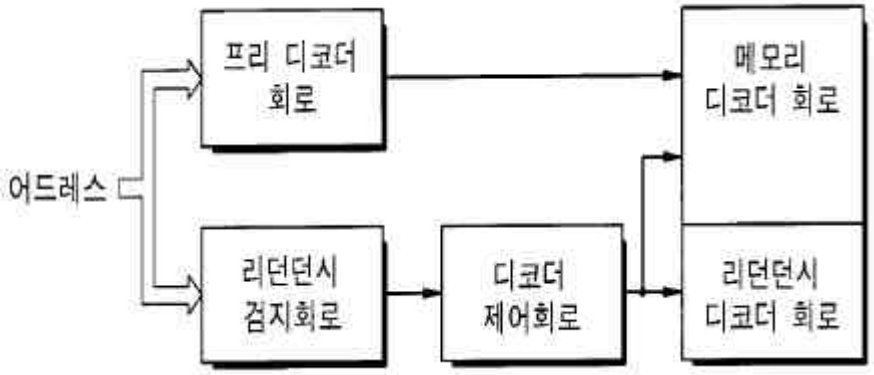


그림 2-30. 리던던시 셀의 선택 동작

2-5-1-4. 고전압

그림 2-31에서와 같이 플래시 메모리에서는 다른 메모리(DRAM, SRAM)에서 요구되는 고전압(4.5V)보다 훨씬 높은 전압을 필요로 함을 알 수 있다.

NAND 플래시 NOR 플래시

	PGM	Erase
VCG	15~50V	0
VD	0V	Float
VS	0V	Float
VB	0V	-20V
Tunneling	F-N	F-N

	PGM	Erase
VCG	-12V	0V
VD	-5V	Float
VS	0V	-12V
VB	0V	0V
Tunneling	H-E	F-N

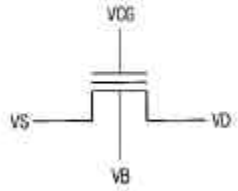


그림 2-31. 플래시 메모리 셀 프로그램 및 소거 동작 조건

플래시 메모리에서 요구되는 Vcc 이상의 전압을 발생하는 충전 펌프회로들은 거의 모두 기본적으로 그림 2-32의 구조를 바탕으로 하고 있으며 일명 “Dickson's Charge Pump"라고도 한다.

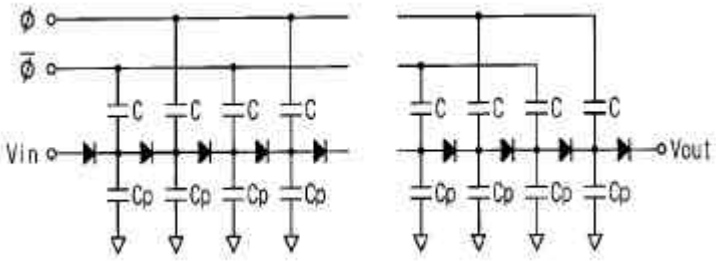


그림 2-32. Dickson's 고전압 발생회로

그림 2-32는 Dickson이 제시한 H.V 발생 다이오드 모델이다. 그림에서 Φ는 일정주기를 갖는 클럭 신호이며, C 및 Cp는 커플링 캐패시터 및 기생 캐패시터를 나타낸다(통상 C >>Cp).

일반적으로 Vin은 공급전원이 되며, 그림 2-32회로와 함께 쓰이는 전압 감지 회로가 있어, Vout이 원하는 전압 이상으로 되면 충전 펌프 회로에 가해지는 펄스를 억제시킴으로써 Vout을 조절한다.

2-5-2. 테스트

플래시 EEPROM에 있어서 테스트 회로는 그 신뢰성 평가 및 칩 스크린을 하는 이상으로 매우 중요하다. 이하에 그 개요를 서술한다.

2-5-2-1. 일괄 쓰기 모드

허용치(Endurance) 시험을 할 때, 일괄 쓰기/일괄 소거에 의해 전 메모리 셀의 테스트를 하는 것이 가능하다. 테스트 시의 일괄 쓰기는, 예를 들면, 테스트 명령에서 모든 Row디코드 회로를 활성화하는 것에 의하여 모든 제어 게이트 Vpp 전위를 주고, 모든 래치 회로에 “0” 데이타를 래치 시키는 것에 의해 실행한다.

일괄 소거는 칩 소거모드에 의해 이루어진다. 일괄 쓰기에 5ms, 일괄 소거에 10ms가 걸리게 하면 10,000회의 허용치 시험에 필요한 시간은 약 150초이다. 이것은, 터널 전류를 이용하여 쓰기/소거를 하고 있기 때문에 가능하게 되어 있다. 핫 전자주입에 의해 쓰기를 하고 있는 플래시 EEPROM의 경우에는 소비 전류가 크기 때문에 일괄 쓰기는 불가능하다.

2-5-2-2. 외부 Vpp 인가 모드

칩 외부에서부터 Vpp전압을 인가하는 것에 의하여 리이드리텐션 등의 가속 시험 및 쓰기/소거 테스트의 스크린이 가능하게 된다. 이것도 테스트 명령에 의해 그 모드에 들어간다.

테스트 패드에 테스터 등으로부터 전압을 인가한다. 이 때, 승압회로와 Vpp 리미트 회로는 동작하지 않도록 되어 있기 때문에 인가된 전압이 그대로 메모리 셀에 주어진다.

2-5-2-3. 문턱값 측정모드

메모리 셀의 문턱 값을 측정하는 것에 의해 보통과 다른 셀의 Screening, 메모리 셀 특성의 평가가 가능하게 된다. 이것도 테스트 명령에 의하여 그 모드에 들어가고, 외부 패드로부터 전압을

인가하면 그 전압이 선택된 제어 게이트에 주어진다.

통상의 읽어내기 모드시에는, 선택된 셀의 제어 게이트에 0V가 인가되지만, 이 테스트 모드 시, 예를 들면 1V가 인가되면 그 전압이 제어 게이트에 주어지고, 읽어낸 데이터가 “1” 데이터라면 이 셀의 문턱 값은 1V 이하이고, “0”이라면 1V 이상이다. 이 전압을 연속적으로 인가하고 데이터를 읽어나가고, 데이터가 “1”에서 “0”으로 변화한 전압이 그 메모리 셀의 문턱값이 된다.

2-5-2-4. 기타

그 외에도, 여분용 셀의 평가를 하는 여분 테스트 모드, 각 승압 전위를 모니터하는 전압 모니터 모드 등이 있다.

2-6. 플래시 메모리의 주요기술

2-6-1. 터널 산화막 형성기술

플래시 메모리의 게이트 산화막은 그 내부를 전자로부터 이동한다는 점에서 “터널 산화막”이라고 부른다. 터널 산화막은 플래시 메모리의 심장부라고도 말한다. 그 부분을 전자가 이동하기 때문에 고도의 양산기술이 요구된다.

2-6-2. SAS(Self Aligned Source)를 사용한 작은 셀사이즈

데이터 보존의 기초단위인 셀은 작으면 작을수록 셀 하나당 비용은 작아진다. 최근에는 SAS(Self Aligned Source)라는 기술을 이용해서 소스 전극부분을 축소화하고 높은 코스트퍼포먼스를 실현하고 있다.

2-6-3. 고신뢰성을 실현하는 텅스텐 플라그 컨덕터

실리콘의 전극부분을 형성하는 컨덕터의 신뢰성은 칩의 신뢰성에도 크게 영향을 준다. 콘덕터 부분에 텅스텐 플라그를 사용해서 평탄화한다. 그에 따라 콘덕터의 신뢰성이 높아진다.

2-6-4. 고속동작과 고정밀화를 위한 ONO막 프로세스

부유 게이트와 제어 게이트사이에 정전용량이 높을수록 소거 시간을 단축할 수 있다. 또 셀을 스케링해서 축소할 때 그 부분의 용량을 확보할 필요가 있다. 이 부분에 유전률이 높은 ONO막을 사용한다.

2-6-5. 알루미늄 2중 배선

칩 배선을 2중으로 하여 주변회로의 레이아웃을 축소함으로써 칩 사이즈를 축소한다.

2-6-6. 액세스(Access) 타임

메모리에 요구되는 기능중의 하나는 고속 액세스이다. 반도체인 플래시 메모리는 플로피 디스켓과 하드디스크에 비해 고속억세스가 가능하다. 더욱이 플래시 메모리는 랜덤억세스가 가능하다. 억세스타임이 100ns이하의 제품도 있다.

- 읽기 : 70 150ns
- 쓰기 : 2 10μs/Byte
- 소거 : 1.5 sec/섹터
- 프로그램/소거횟수 : 10만회보증(최소치)

2-6-7. 디자인 룰

디자인 룰의 미세화는 대용량과 저가격을 실현하여 플래시 메모리의 수요는 점점 높아질 것이다. NOR형 플래시 메모리의 스텍 게이트형 셀 구조는 디자인 룰의 미세화에 의해 고집적화가 비교적 용이하게 행해질 수 있다. 현재, 0.18μm 룰에서는 256M비트가 제조되고 있으며, 0.15μm 룰에서는 1G 비트 제품이 개발되었다.

2-6-8. 전압

소비전력을 줄이는 것은 경제적으로 이익이 되지만 크게는 환경문제에도 기여한다. 플래시 메모리는 비휘발성소자로 구성되어 있

기 때문에 기억보존을 위해서는 전원이 필요하지 않다. 칩 플래시 메모리와 플래시 메모리카드를 플로피 디스켓이나 하드디스크의 대치용으로 이용하면 디스크드라이브는 필요하지 않다. 따라서 시스템 전체의 소비전력을 줄일 수 있다.

플래시 메모리는 3V 단일전원 및 1.8V 단일전원으로 구동 가능하다. 즉, 시스템내의 다른 장치와 동일한 전원으로 구동할 수 있기 위해 DC/DC 콘버터를 내장할 필요가 없다.

2-6-9. 고쳐쓰기 회수

고쳐쓰기 회수는 메모리 내구성의 목표이고 메모리의 종류를 선택하는데 있어 중요한 포인트이다. 현재, NOR형과 NAND형 모두 10만 여회 정도의 고쳐쓰기가 가능하다.

EPROM은 10^2, EEPROM은 10^5, 플래쉬 메모리는 10^4 10^5 횟수의 프로그램이 가능하다. 데이터 고쳐쓰기는 EEPROM과 마찬가지로 온보드에서 가능하다.

2-6-10. 칩 면적

칩 면적은 각종 기기에 조립하는데 있어 중요한 포인트이다. 앞으로 점점 각종 기기가 소형화되어 가고 있어 메모리칩의 면적과 가격도 낮춰나가야 한다.

반도체업체는 플래시 메모리의 비용절감에 연결되는 칩 면적의 축소에도 대처하고 있다. 64M비트, 256M비트, 1G비트 등으로 대용량화가 진행됨과 동시에 셀 면적을 작게 하면서 칩 면적의 증대를 억제하고 있다.

2-7. 플래시 메모리의 신뢰성 문제

2-7-1. 기본적인 신뢰성 특성

2-7-1-1. 간섭

인접 셀에 가해지는 전계에 영향을 받아 원하지 않는 셀의 상태가 바뀌는 현상으로 일반적으로 NOR 구조에서는 게이트에 전압이 인가된 결과 터널링 전류에 의해 전자가 부유 게이트에 주입되는 것에 의해 일어나는 게이트 간섭과 제어 게이트가 접지 전위이고 드레인에 전압이 인가된 경우에 발생하는데, 터널링 전류에 의한 부유 게이트로부터의 전자의 누설 또는 Band-to-Band 터널링에 의해 발생한 핫 홀의 주입에 일어나는 드레인 간섭이 있다. NAND 구조에서는 Vpgm과 Vpass 스트레스에 의한 간섭이다.

2-7-1-2. 데이터 보존

부유 게이트는 전원이 없어도 축적된 전하를 감지하여 그 상태를 결정하므로 시간이 경과하거나 동작중의 스트레스에 의해 전하 손실을 유발하면 문턱값이 변화하므로 저장된 데이터 상태가 변화하게 된다. 고온 베이킹 테스트, 사이클링 스트레스 후 데이터의 상태가 일정한지를 평가하게 되며 그 기준을 정하여 보존(retention) 시간을 계산하게 된다.

2-7-1-3. 허용치

부유 게이트 소자에서 전기적으로 데이터를 프로그램, 소거하려면 터널 산화막을 통해 전하를 플로팅 다결정 실리콘에 넣고 빼내는 동작을 시켜야 하므로 고전계의 양방향 전압을 인가해야 한다. 이 동작동안 주로 얇은 터널 산화막에 전자나 홀 등의 트랩으로 인해 문턱값이 변하게 되므로 양방향 고전계 전압에 안정한가에 대한 인성이 EEPROM 소자에서 가장 중요한 성질중 하나이다.

허용치(Endurance) 특성은 프로그램 방식이 서로 다른 NOR, NAND형 EEPROM에서 문턱값 변화양상이 다르게 나타나는데 이는 CHE 방식을 사용하는 NOR형에서는 Band-to-Band 터널링이 일어나 핫 홀이 산화막내로 주입되기 때문이다. 그 후 트랩된 홀에 의한 중성 전자 트랩 등의 생성으로 전자 트랩이 유발되면서 NOR형에서는 급격히 문턱값(Vth) 윈도우가 좁아진다. 따라서 프로그램 및 소거의 특성이 달라진다.

2-7-2. 핫 캐리어 현상

MOS 구조의 채널 영역에 채널과 평행한 측면 전계가 점점 커지게 되면 반전층의 전하들이 에너지를 얻어 가열되면서 Si/SiO_2 계면의 장벽을 넘어 산화막내로 주입되는 현상이 일어나 주로 산화막이 열화되면서 시간이 지남에 따라 MOS 소자를 열화시킨다. 이 현상은 가열된 캐리어의 직접 주입, 이온 충돌화, 어발란치 증배 등의 기구에 의해 산화막내로 주입되거나 기판으로 흐른다.

2-7-3. 터널 산화막

소자가 작아짐에 따라 각종 MOS 소자들에 사용하는 게이트 산화막도 얇아지면서 낮은 결함 밀도, 우수한 인터페이스, 스트레싱 저항, 효과적인 불순물 장벽 특성 등을 갖추어야 한다. 특히 부유 게이트를 사용하는 불활성 메모리 소자를 동작시키기 위해서는 터널 산화막에 고전계가 인가되므로 여러 동작 조건에 대한 낮은 전하 트랩과 높은 파괴 절연체의 제조가 소자 신뢰도와 특성유지에 중요한 인자가 되고 있다. 그러나 두께가 감소함에 따라 그 신뢰도가 감소하여 양질의 산화막이 필요하게 되었다.

2-7-4. 기타

부유 게이트재료는 다결정 및 비정질 실리콘을 사용하는데 그레인 균일도와 도핑 농도에 따라서 소자의 특성에 영향을 미친다.

ONO막은 축적된 전하의 누설을 막는 에너지 장벽으로서 터널 산화막과 함께 전하 보존에 큰 영향을 미치며 동작시 3-6MV/cm의 전계를 감당할 수 있는 저항력이 필요하다. 또한, 게이트 전압을 채널까지 전달하는 커플링 비율에도 관여하는 부유 게이트 형성막으로 막의 두께와 형성 방법에 따라 소자의 특성에 영향을 미친다.

측벽은 일반적으로 산화막과 질화막을 사용하는데 전하 손실 또는 이득을 유발하는 Na^+의 이동을 억제해야 하므로 형성 방법에 따라 소자의 특성에 영향을 미친다.

또한, 속도 향상을 위해 살리사이드막을 형성하는데 공정의 단순화가 필요하고, Inter Later Dielectric(ILD)막은 BPSG 또는 PSG를 사용하는데 Na^+ 이온 게더링과 웨이퍼 페시베이션에 따라 소자의 특성에 영향을 미친다.

2-8. 플래시 메모리의 주요응용 제품

2-8-1. 플래시 메모리 용도

메인프레임이나 EWS분야에 있어서는 수십에서 수백의 자기디스크용량의 1 2%를 반도체메모리(플래시)로 대치하는 것만으로, 시스템의 외부기억처리시간을 1/2에서 1/4로 줄일 수 있다.
플래시 메모리에 기대되는 것은 :

◎ 공간절약, 경량, 휴대

◎ 억세스 속도의 고속화

◎ 내충격성

◎ 고신뢰성

◎ 저소비전력

◎ 시스템 배터리를 장시간 구동가능

반도체인 플래시 메모리는 FDD나 HDD와 비교하여 고속억세스가 가능하다.

2-8-2. 플래시 메모리 적용추이

16M비트 이상의 플래시 메모리는 휴대형 정보통신기기의 외부기억장치로서의 용도가 주가 될 것으로 예측된다. 또한 멀티미디어의 발전과 더불어, 그 휴대형 정보통신기기의 시장은 비약적으로 넓어질 것으로 예측되므로 플래시 메모리에 커다란 기대를 걸고 있다.

2-8-2-1. EPROM의 대치용

이 용도를 실현하기 위해서는 EPROM의 랜덤한 읽기 속도와 빠른 소거/쓰기 속도가 요구된다. 플래시 메모리와 EPROM은 동일한 구조의 메모리 셀을 사용하고 있고, 명령을 추가함으로써 외부기억장치로서의 읽기/쓰기 성능을 향상시킨다.

EPROM의 데이터 고쳐쓰기는 시스템 보드로부터 칩을 떼내고, 자외선에 의해 데이터를 소거하고 다시 쓰기를 한다. 그 때문에 다시 쓰기의 가능성이 있는 경우는 보드에 칩을 직접 납땜하지 않고, 장치의 탈착이 가능한 소켓을 사양으로 하기 때문에 비용이 높아진다. 플래시 메모리에 있는 보드에 직접 납땜한 채 고쳐쓰기가 가능하기 때문에 소프트의 버전업에 유리하다.

2-8-2-2. 플래시 메모리의 특징을 살리는 적용

플래시 메모리의 종래의 사용법은 단순히 지금까지의 MASK-ROM, EPROM 등의 대치로, 프로그램 후는 단순히 읽기 전용 사용법이 일반적이었다.

그러나, 플래시 메모리가 세계시장에 침투하고 단순한 대치 적용에서 적극적으로 그 특징을 살리는 방향으로 적용이 확대되고 있다. 최근에는 어느 기계든 복수의 OS를 사용하도록 되어있다. 64K비트나 256K비트 길이의 프로그램시대는 제품출하 전까지 충분히 버그를 수정할 수 있었다. 그러나, 최근의 4M비트, 16M비트 길이의 큰 프로그램에서는 신제품의 출하시기까지 충분히 버그를 수정할 수 없는 경우가 있다.

플래시 메모리를 사용하면 제품출하 직전까지 버그를 수정하고 최신판의 OS를 탑재해서 출하할 수 있다. 또 출하 후에 발견되는 버그나 수정할 곳도 통신회선을 사용해 밤중에도 사용자가 의식하지 않는 동안 고쳐쓰기를 할 수 있다.

또한, 전자제품 시장이 국제화되고 있는 지금, 각국 전용문자폰트, 영상 데이터 등도 플래시 메모리를 사용하면 출하직전에 고쳐쓰기를 할 수 있기 때문에 재고관리 등에도 상당히 편리하고 국제시장의 변화에 대처할 수 있다.

2-8-3. 플래시 메모리와 하드디스크와의 비교

하드디스크와 호환성이 있는 플래시 디스크는 반도체 주요업체들이 PCMCIA-ATA사양에 근거하여 제품화하였다. 플래시 카드의 가격은 칩가격의 가격인하에 비례하여 내려간다. 이에 반해 하드디스크는 해마다 대용량화의 방향으로 이동하고 있다.

따라서 20M바이트와 40M바이트 같이 용량이 작은 제품의 가격은 크게 내릴 것으로 기대되지 않는다. 그 때문에 휴대기기의 급속한 보급 및 칩 단가의 가격인하와 더불어 플래시 메모리 탑재의 ATA카드가 침투할 영역은 확대될 것으로 예상된다.

2-8-4. 플래시 메모리 카드

PC에 있어 플래시 용도로서는 의료기기, 디지털 스틸카메라, 정보통신 등의 분야에 있어서도 데이터 보존, 보존매체로서 플래시 메모리 카드가 기대되고 있다.

플래시 메모리 카드에는 크게 2종류가 있다. 앞에서 기술한 파

일관리용의 컨트롤러를 내장하고, 하드디스크와 마찬가지의 사양인 ATA 플래시 카드와 단순한 메모리 인터페이스의 플래시 메모리카드이다.

ATA 플래시 메모리카드에는 카드 안에 파일관리용 컨트롤러가 내장되어 있다. 시스템에 하드디스크와 마찬가지로 인식되어 DOS의 "FAT"라는 파일관리시스템을 사용한다.

플래시 메모리카드는 안에 파일관리용 컨트롤러를 가지지 않는다. 대신 시스템 내에 플래시 메모리 파일 관리를 위한 장치드라이브(FFS-2, FTL 의 2종류가 있음)를 갖고, 퍼스널 컴퓨터본체의 프로세서가 파일관리를 처리한다.

ATA 플래시 카드의 경우는 카드내에 파일 관리용 컨트롤러를 내장하고 있다. 따라서 바이트당 단가를 내리려면 비교적 대용량의 파일 용도로 할 필요가 있다. 수십M 바이트 클래스의 바이트 디스크의 대치 등이 생각될 수 있다. 한편 플래시 메모리카드는 지금 FAX등의 프로그램, 프린터 폰트 등, 읽기 전용의 용도에 적용되고 있다.

그러나, 앞으로는 플래시 메모리카드의 파일 관리용 소프트웨어(FFS-S 또는 FTL)가 시장에 침투해 가는 중이고, 카드내부에 컨트롤러를 탑재하지 않은 플래시 메모리카드가 ATA 플래시 카드와 마찬가지로 대용량의 외부기억용 제품으로서 정착해가고 있다고 생각된다.

2-9. 복합응용분야

플래시 메모리는 데이터 프로세싱, 원격통신, 산업, 소비자 및 수송에 널리 사용하고 있다. 표 2-8은 플래시 메모리의 응용 분야를 나타내었고, 그림 2-33은 멀티 미디어 브릿지 카드이 응용 분야를 나타내었다.

표 2-8. 플래시 메모리의 응용분야

DATAPROCESSING
- Computer
  - Main Frame
  - Super
  - Midrange
  - Workstation
  - Handheld
  - Subnotebook
  - Laptop
  - Desktop
  - Deskside
  - Mobile Computer

OTHER DATA PROCESSING
- Hard Disk Driver
- Optical Disk Driver
- Page Printers
- Serial Printers
- Copier
- Word Processor
- POS
- Solid State Disk
- Flash Memory Cards

TRANSPORTATION
- Car
- Navigation
- Air-bag

TELECOMMUNICATIO
- Central Office Switch
- PBX/LAN/Cellular/PHS
- Cordless Phone
- Dig. Answering Machine
- Fax/Public Phone
- Pager
- Modem

INDUSTRIAL
- Tester
- Medical Instruments
- Vending Machine

CONSUMER
- Organizers
- Arcade Game/Home Games
- Game Soft/HDTV/Set Top Box/Instruments
- Karaoke/CD ROM/Digital Camera
- VTR/DVD/Camcorders/Voice Recoders

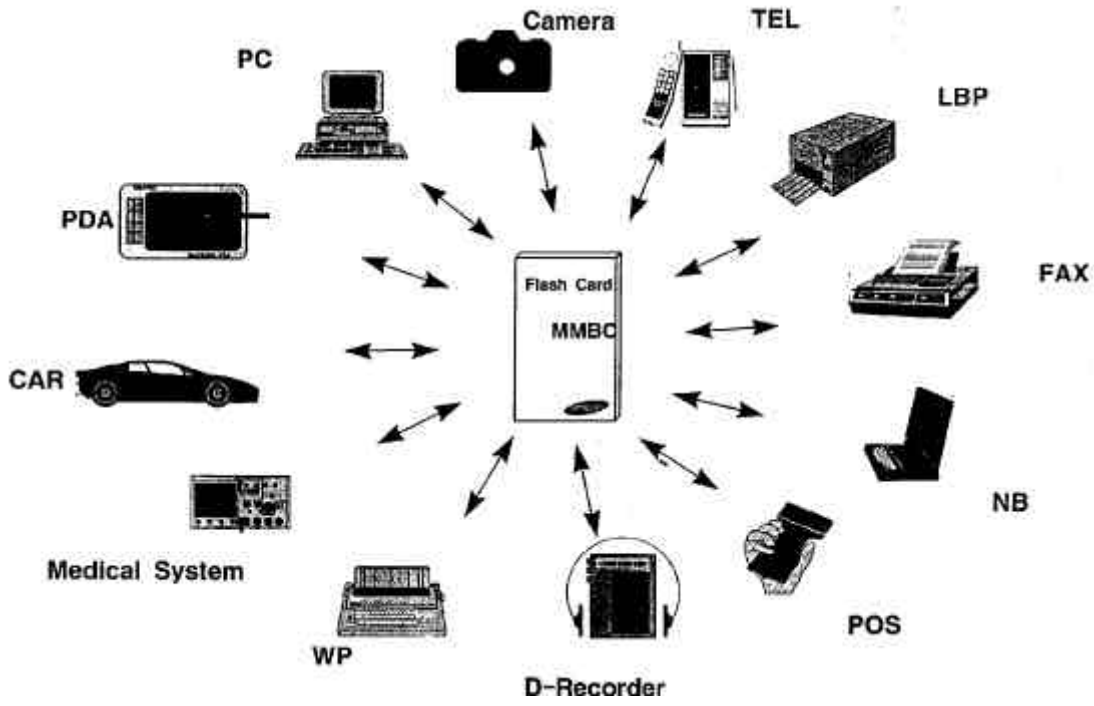


그림 2-33. 멀티 미디어 브릿지 카드

2-9-1. 프로세싱

머지않아 플래시 메모리는 HDD 대신 이용 가능할 것으로 보이며, 그 최초의 형태는 그림 2-34에 나타낸 바와 같이 HDD와 Plug Compatible 시스템이다. 구체적으로는 플래시 메모리와 제어회로, 그리고 인터페이스로 구성되는 시스템으로서, 시스템이 SCSI나 IDE 인터페이스를 갖추고 있으므로 PC 측에서는 완전히 HDD와 같게 보인다.

한편 IC 메모리 카드내에 플래시 메모리 뿐 만 아니라 제어회로나 인터페이스를 탑재해도 좋다.

이러한 이용방법을 쓸 경우, 기존 OS 상태에서 플래시 메모리

를 외부기억으로 이용할 수 있다. 단, 인터페이스에서 전송속도가 제한되는 등 반도체 메모리 만큼의 고성능은 내기 어렵고, 플래시 메모리 이외의 부품이 많다.

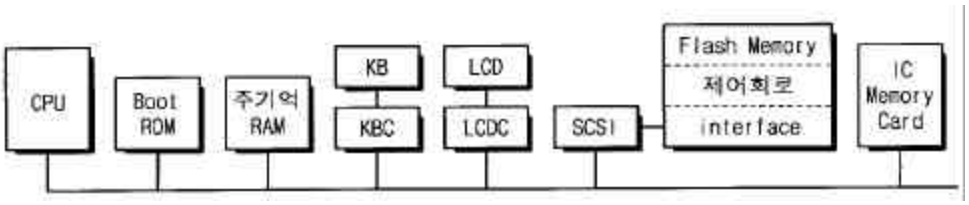


그림 2-34. HDD 호환 플래시 메모리 시스템(HDD Plug Compatible 시스템)

2-9-2. 파일 관리

컴퓨터 플래시 메모리 관리기능을 도입하여 그림 2-35와 같이, 이른바 플래시 파일 시스템의 이용을 고려할 수 있다. HDD와는 Plug Compatible은 아니지만 역시 HDD치환을 겨냥한 것으로, 이 경우 OS가 플래시 메모리 성능을 발휘하고, 가격을 낮게 할 수 있으므로 장래적으로는 플래시 메모리 이용 형태의 주류가 될 것이다.

플래시 메모리는 IC 메모리 카드로 이용해도 좋고 PC에 내장해도 좋다. 인텔과 마이크로소프트와 공동으로 FFSII(Flash File System)를 개발, MS-DOS V5.0 ROM 버젼으로 공급하고 있다.

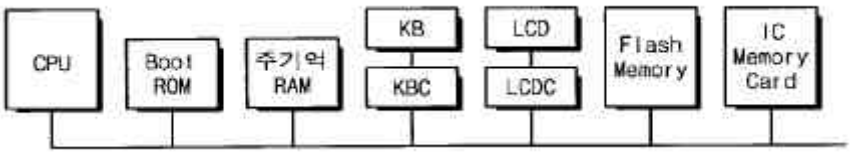


그림 2-35. 플래시 파일 시스템(OS에 의한 플래시 메모리 관리)

2-9-3. 카드/원격통신

플래시 메모리를 응용한 휴대폰 기술로 Post국과 베터리나 쓰기 없이 동작하는 개인식별 태그, 카드형 송수신기 간의 무선통신에 관한 기술을 개발했다. 그러한 이용분야에서는 휴대용으로 개인식별 태그와 같이 카드 크기에 RF 통신기능과 플래시와 같은 비휘발성 메모리 장치를 내장하고 있어서 Post국에서의 RF 송신에 의해 태그를 호출하고 동작시킬 수 있다.

RF 플래시기술 이용분야에서는 기업이나 정부기관과 같은 장소에서의 안전한 액세스가 필요하다. 이와 같은 안전성은 종래부터 계속 전자기술의 과제였다. 또한 제공한 서비스에 대해 요금 청구가 용이해야 하는데, 여기에 무선통신 태그나 크레디트가 그림 2-36과 같이 사용된다.

RF EEPROM/플래시 통신에 의해 공공분야의 편리함은 크게 개선된다. RF 플래시 메모리통신으로 대량의 데이터를 교환할 수 있게 되므로서 대중이 언제라도 정확하고 안전하게 공정한 청구계산을 요구하는 시장에서의 탄력적이고 혁신적인 시장개척이 가능해진다.

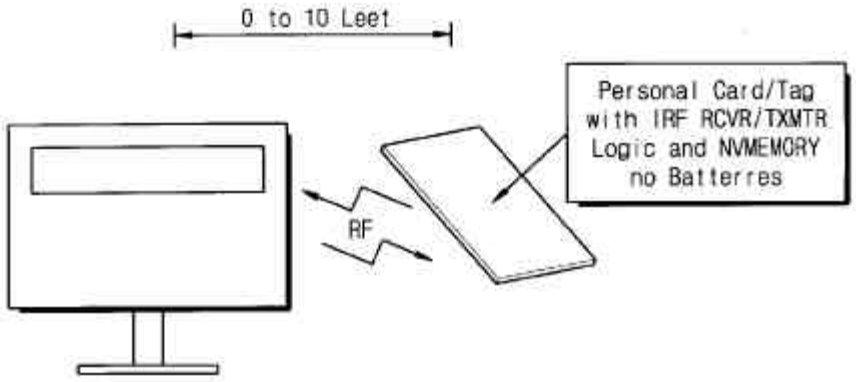


그림 2-36. RF 플래시 응용

2-9-4. BIOS/보안

인텔은 PC BIOS(Basic Input Output System) 저장전용 플래시 메모리를 개발하고 있다. BIOS에는 PC의 하드웨어 구성에 의존하고 출하 후에는 개서 불가능한 데이터와 User가 변경가능한 편이 나은 데이터가 혼재된다.

복수개의 블럭으로 분할되어 통상수단으로는 데이터변경이 불가능한 소용량 블럭(Boot Block)과 데이터 변경이 가능한 대용량 블럭(Parameter Block이나 Main Block) 구성의 플래시 메모리가 있다면 BIOS 저항에 안성맞춤이다. 실제적으로 이 용도에는 종래 EPROM이나 OPT가 이용되어 왔으나 플래시 메모리에 의한 개서가 급속히 진행되고 있다. 이 밖에도 플래시 메모리 나름대로의 전용용도가 반드시 있다고 보며, 이를 위한 각종 ASSP가 개발될 것이다.

2-9-5. 디스크 저장

현재 PC의 외부기억에는 플로피 디스크(FDD)나 하드 디스크(HDD) 와 같은 자기 디스크가 비트 가격이 낮은 이유로 널리 이용되고 있으며, 또한 휴대형 PC나 전자수첩에서는 배터리 백업 SRAM도 이용되기 시작했다. 앞으로는 DRAM이 이용될 가능성도 있다.

반도체 메모리를 외부기억에 이용할 경우 비휘발성 RAM이 이상적이므로 예전부터 RAM이나 PROM을 비휘발성 메모리화 하려는 시도가 있었다.

플래시 메모리는 전기적으로 고쳐쓰기가 가능하므로 유사적인 비휘발성 RAM으로 간주할 수 있다. 현실적으로 쓰기 속도가 느리고 소거동작이 필요하기 때문에 불완전한 비휘발성 RAM이지만 비트 가격이 낮으므로 외부기억용도에서의 이용이 기대된다.